

커패시터 커플링 노이즈를 줄인 단일 전원 CMOS 베타선 센서 회로 설계

김홍주*, 차진솔*, 황창윤**, 이동현**, R. M. Salman*, 박경환***, 김종범****, 하판봉*, 김영희*

Design of Single Power CMOS Beta Ray Sensor Reducing Capacitive Coupling Noise

HongZhou Jin*, JinSol Cha*, ChangYoon Hwang**, DongHyeon Lee**, R. M. Salman*,
 Kyunghwan Park***, Jongbum Kim****, PanBong Ha*, YoungHee Kim*

요약 본 논문에서는 DB하이텍 0.18 μ m CMOS 공정을 이용하여 진성난수 생성기에 사용되는 베타선 센서 회로를 설계하였다. CSA 회로는 PMOS 피드백 저항과 NMOS 피드백 저항을 선택하는 기능, 50fF과 100fF의 피드백 커패시터를 선택하는 기능을 갖는 회로를 제안하였다. 그리고 펄스 셰이퍼(pulse shaper) 회로는 비반전 증폭기를 이용한 CR-RC2 펄스 셰이퍼 회로를 사용하였다. 본 논문에서 사용한 OPAMP 회로는 이중 전원(dual power) 대신 단일 전원(single power) 사용하고 있으므로 CR 회로의 저항과 RC 회로의 커패시터의 한쪽 노드는 GND 대신 VCOM에 연결한 회로를 제안하였다. 그리고 펄스 셰이퍼의 출력신호가 단조 증가가 아닌 경우 비교기 회로의 출력 신호가 다수의 연속된 펄스가 발생하더라도 단조 다중발진기(monostable multivibrator) 회로를 사용하여 신호 왜곡이 안되도록 하였다. 또한 CSA 입력단인 VIN과 베타선 센서 출력단을 실리콘 칩의 상단과 하단에 배치하므로 PCB trace 간의 커패시터 커플링 노이즈(capacitive coupling noise)를 줄이도록 하였다.

Abstract In this paper, the beta-ray sensor circuit used in the true random number generator was designed using DB HiTek's 0.18 μ m CMOS process. The CSA circuit proposed a circuit having a function of selecting a PMOS feedback resistor and an NMOS feedback resistor, and a function of selecting a feedback capacitor of 50fF and 100fF. And for the pulse shaper circuit, a CR-RC2 pulse shaper circuit using a non-inverting amplifier was used. Since the OPAMP circuit used in this paper uses single power instead of dual power, we proposed a circuit in which the resistor of the CR circuit and one node of the capacitor of the RC circuit are connected to VCOM instead of GND. And since the output signal of the pulse shaper does not increase monotonically, even if the output signal of the comparator circuit generates multiple consecutive pulses, the monostable multivibrator circuit is used to prevent signal distortion. In addition, the CSA input terminal, VIN, and the beta-ray sensor output terminal are placed on the top and bottom of the silicon chip to reduce capacitive coupling noise between PCB traces.

Key Words : beta ray sensor, charge sensitive amplifier, capacitive coupling noise, monostable multivibrator, true random number generator

This research was supported by Nuclear Technology Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Science, ICT & Future Planning (No. 2018M2A8A1083094). The chip fabrication and EDA tool were supported by the IC Design Education Center(IDEC), Korea.

*Department of Electronic Engineering, Changwon National University

**Department of Smart Manufacturing Engineering, Changwon National University

***Electronics and Telecommunications Research Institute

****Korea Atomic Energy Research Institute

*Corresponding Author : Department of Electronic Engineering, Changwon National University

(youngkim@changwon.ac.kr)

Received August 10, 2021

Revised August 10, 2021

Accepted August 21, 2021

1. 서론

난수(random number)는 암호화 등에서 활용되고 있다[1]. 높은 보안등급, 고신뢰성을 요구하는 IoT 보안 분야에서는 유사난수보다는 해킹을 방지하는데 가장 효과적인 진성난수를 사용하고 있다[2].

베타선(Beta ray)을 포함한 방사선 동위원소 기반의 센서에 대한 연구결과는 많이 발표되었으며 [3-11], 베타선은 하드웨어 기반 이상적인 난수를 발생할 수 있다. 그래서 Ni-63 베타선원을 이용한 베타선 센서 회로설계가 요구된다. 한편 Ni-63 베타선원은 PIN 다이오드에서 생성된 EHP(Electron-Hole Pair)를 발생시킨다. PIN 다이오드에서 생성된 EHP는 CMOS 공정을 이용하여 설계된 베타선 센서 회로의 AFE(Analog Front End)인 CSA(Charge Sensitive Amplifier) 회로에서 검출이 가능하다[9-11].

CMOS OPAMP 회로를 이용한 기존의 CSA 회로는 그림 1에서 보는 것처럼 CMOS OPAMP 회로의 negative 입력단인 VIN과 OPAMP의 출력 노드인 CSA_OUT에 피드백 커패시턴스 C_f 와 R_f 의 PMOS 피드백 저항이 병렬로 연결되어 있다. 그리고 그림 1에서 보는바와 같이 CMOS OPAMP의 positive 입력단은 VCOM(Common Voltage) 전압에 연결되어 있다. CSA 회로의 CSA_OUT 출력전압은 PIN 다이오드에서 EHP에 의해 생성된 입력 전하 펄스를 적분하여 VCOM 전압 레벨에서 ΔV_s 만큼 떨어진다[8-10]. 그리고 CSA_OUT의 출력 전압 펄스는 PMOS 피드백 저항의 부귀환(negative feedback) 동작에 의해 $\tau = R_f \cdot C_f$ 의 시상수를 가지고 VCOM 전압으로 충전된다. 한편 그림 1의 CSA 회로에서 PMOS 피드백 저항은 NMOS 피드백 저항을 사용하여 구현이 가능하며 [11], NMOS 저항 값이 PMOS 저항 값과 비슷하면 CSA_OUT의 신호전압(signal voltage) 측면에서는 유사한 특성을 보일 것으로 예상된다. 그렇지만 PIN 다이오드를 통하여 인가되는 input current train에 대한 CSA 출력신호의 특성을 평

가하기 위해서는 시간에 따른 베타선 붕괴를 모델링하여야 한다. 한편 베타선은 랜덤하게 붕괴되므로 시간에 대한 input current train을 모델링하기는 어렵다. 그리고 CSA의 특성 평가와 관련해서 피드백 커패시턴스 C_f 가 클수록 charge transfer efficiency는 1에 가까워지는 반면, CSA_OUT의 신호전압이 줄어드는 단점이 있어서 C_f 값을 최적화하는 설계가 요구되지만 상용 PIN 다이오드의 접합 커패시턴스를 알수가 없다. 그래서 CSA 회로에 사용되는 C_f 를 회로적으로 선택하여 측정을 통해서 우수한 charge transfer efficiency 특성을 나타내는 C_f 값을 결정하는 회로설계가 요구된다. 또한 베타선 센서 설계 시 PCB 보드 상에서 다이오드 입력단과 센서 출력단 사이의 커플링 노이즈에 대한 억제 대책이 필요하다.

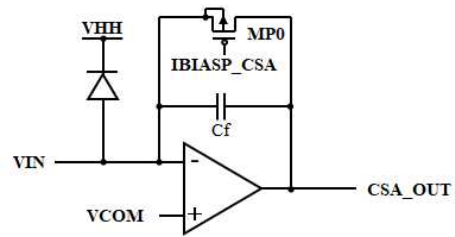


그림 1. 기존의 PMOS 피드백 저항을 사용한 CSA 회로. Fig. 1. CSA circuit using a conventional PMOS feedback resistor.

본 논문에는 DB하이텍 0.18 μ m CMOS 공정을 이용하여 CSA 회로, 펄스 셰이퍼 회로, 비교(comparator) 회로와 단조 다중발진기(monostable multivibrator) 회로 등으로 구성된 CMOS 베타선 센서 회로를 설계하였다. CSA 회로는 PMOS 피드백 저항과 NMOS 피드백 저항을 선택하는 기능, 50fF과 100fF의 피드백 커패시터를 선택하는 기능을 갖는 회로를 제안하였다. 그리고 펄스 셰이퍼 회로는 비반전 증폭기를 이용한 CR-RC² 펄스 셰이퍼 회로[12]를 사용하였다. 또한 펄스 셰이퍼의 출력 신호가 VTHR(Threshold Voltage) 전압 부근에서 단조 증가하지 않으면 비

교기 회로의 출력 신호는 다수의 연속된 펄스가 발생하여 신호를 왜곡할 수 있다. 그래서 본 논문에서는 펄스 셰이퍼의 출력신호가 단조 증가하지 않아서 비교기 회로의 출력 신호가 다수의 연속된 펄스가 발생하더라도 단조 다중발진기 회로를 사용하여 신호 왜곡이 안되도록 하였다. 또한 PCB 보드 상에서 다이오드 입력단과 센서 출력단 사이의 커플링 노이즈를 억제하기 위해 PCB 상에서 CSA 입력단인 VIN과 베타선 센서 출력단을 실리콘 칩의 상단과 하단에 배치하므로 PCB trace간의 커패시터 커플링 노이즈를 줄이도록 하였다.

2. 회로 설계

Ni-63 베타 선원에 의해 PIN 다이오드를 사용하여 발생된 EHP 전하를 검출하는 베타선 센서 회로는 그림 2에서 보는바와 같이 CSA 회로, CR-RC² 펄스 셰이퍼 회로, 펄스 셰이퍼의 출력 신호와 VTHR 전압과의 비교를 통해 베타선이 들어왔는지를 감지하기 위한 비교기 회로와 비교기 회로의 출력신호의 펄스 폭과는 상관없이 일정한 펄스 폭을 출력하는 단조 다중발진기 회로로 구성되어 있다.

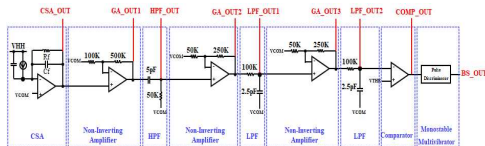


그림 2. 제안된 베타선 센서 회로.
Fig. 2. Proposed beta-ray sensor circuit.

CSA 회로에서 피드백 저항으로 NMOS 피드백 저항과 PMOS 피드백 저항을 사용할 수 있다. NMOS 저항 값이 PMOS 저항 값과 비슷하면 CSA 회로의 출력신호인 CSA_OUT의 신호전압 측면에서는 유사한 특성을 보일 것으로 예상된다. 그렇지만 PIN 다이오드를 통하여 인가되는 input current train에 대한 CSA 출력신호의 특성 평가는 필요하다. 그래서 본 논문에서는 그림 3에서 보는바와 같이 TG(Transmission Gate)인 TG1과

TG2에 의해 NMOS 피드백 저항(MN1)과 PMOS 피드백 저항(MP1)을 각각 선택하는 기능을 추가하였다. 그리고 CSA의 피드백 커패시턴스 C_f는 클수록 charge transfer efficiency가 1에 가까워지는 반면, CSA_OUT 출력신호의 신호전압이 줄어드는 단점이 있어서 C_f 값에 따른 특성을 평가하기 위해 그림 3에서 보는 것처럼 TG3와 TG4에 의해 50fF과 100fF의 피드백 커패시터를 각각 선택하는 기능을 추가하였다.

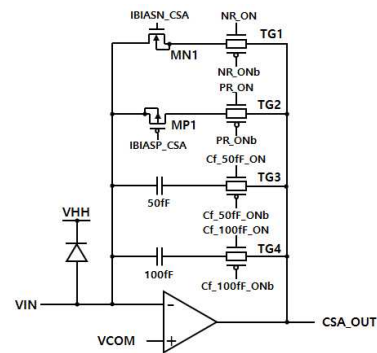


그림 3. 제안된 CSA 회로.
Fig. 3. Proposed CSA circuit.

펄스 셰이퍼로 사용되는 기존의 CR-RC² 회로 [12]는 그림 4(a)에서 보는바와 같으며 CR 회로의 저항과 RC 회로의 커패시터의 한쪽 노드는 GND에 연결되어 있으며 이중 전원을 사용한 gain 증폭기 회로를 사용하고 있다. 그런데 본 논문에서 사용되는 OPAMP 회로는 이중 전원 대신 단일 전원을 사용하고 있으므로 CR 회로의 저항과 RC 회로의 커패시터의 한쪽 노드는 GND 대신 VCOM에 연결하여야 gain 증폭기 회로가 정상적으로 동작한다. 한편 펄스 셰이퍼에 사용된 gain 증폭기는 non-inverting gain 증폭기 회로를 사용하였다.

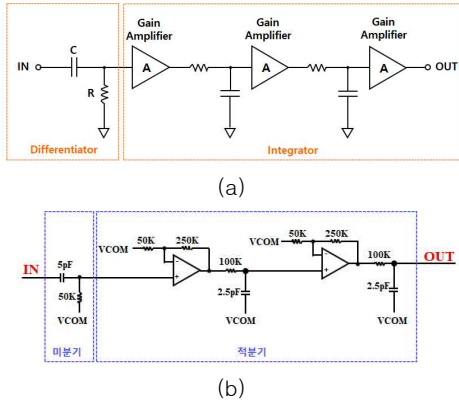


그림 4. CR-RC² 펄스 셰이퍼 회로 (a) 기존 방식 (b) 제안된 방식.
 Fig. 4. CR-RC² pulse shapers: (a) conventional one and (b) proposed one.

그림 2의 베타선 센서 회로에서 펄스 셰이퍼의 출력 신호 LPF_OUT2 신호가 그림 5에서 보는바와 같이 VTHR 전압 부근에서 단조 증가하지 않으면 비교기 회로의 출력 신호는 다수의 연속된 펄스가 발생하여 신호를 왜곡할 수 있다. 그래서 본 논문에서는 펄스 셰이퍼의 출력신호가 단조 증가하지 않아서 비교기 회로의 출력 신호가 다수의 연속된 펄스가 발생하더라도 비교기 회로의 출력신호인 COMP_OUT 신호의 펄스 폭과는 상관없이 일정한 펄스 폭을 출력하는 단조 다중발진기 회로를 사용하여 그림 6에서 보는바와 같이 신호왜곡이 안되도록 하였다.

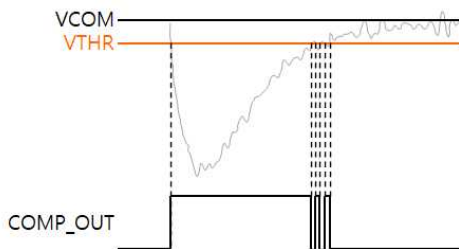


그림 5. 펄스 셰이퍼 출력 전압 파형이 단조 증가하지 않았을 때 COMP_OUT 출력신호에 나타난 왜곡된 파형.
 Fig. 5. Distorted waveform in COMP_OUT output signal when pulse shaper output voltage waveform does not increase monotonically.

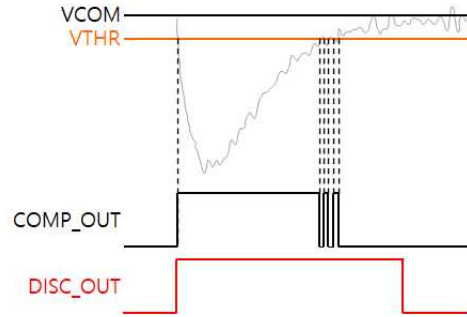


그림 6. 단조 다중발진기를 사용한 DISC_OUT 파형.
 Fig. 6. DISC_OUT waveform using a monostable multivibrator.

그림 7은 COMP_OUT 신호의 펄스 폭과는 상관없이 일정한 펄스 폭을 출력하는 기존의 단조 다중발진기 회로[13]를 보여주고 있으며, 그림 8은 제안된 단조 다중발진기 회로를 보여주고 있다. 그림 7의 인버터 입력인 N1 노드는 IN 신호가 0V에서 VDD로 스위칭하면서 커패시터 C의 커플링에 의해 low로 떨어졌다가 저항 R에 의해 VDD로 충전된다. N1이 INV의 VTL(Logic Threshold Voltage) 부근에서 동작할 때 INV는 단락회로 전류(short-circuit current)가 많이 흐르면서 소모 전류가 증가하는 단점이 있다. 한편, 제안된 회로는 짝수(even number)의 지연 회로를 이용한 self-timed delay 개념의 단조 다중발진기 회로이다.

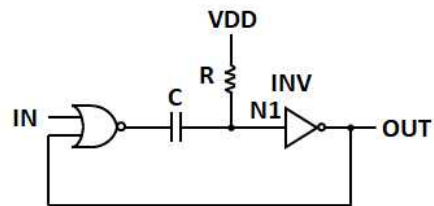


그림 7. 기존의 단조 다중발진기 회로도.
 Fig. 7. Conventional monostable multivibrator circuit.

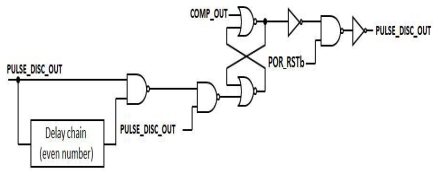


그림 8. 제안된 단조 다중발진기 회로도.
Fig. 8. Proposed monostable multivibrator circuit.

그림 9는 CSA 회로 측정용 COB 테스트 보드에서 다이오드에 연결된 CSA 입력단과 CSA 출력단 사이에서의 trace로 인한 커플링 커패시턴스 (coupling capacitance)를 모델링한 것이다. 그림 9의 VIN과 CSA_OUT 사이의 커플링 커패시턴스는 0.25pF 정도로 계산된다. COB 테스트 보드에서 VIN에 있는 검출선(detector line)을 제거한 후 VTEST(Test Voltage)를 이용하여 CSA_OUT 파형을 측정할 결과 CSA의 출력신호 전압은 그림 10에서 보는바와 같이 50mV로 검출선이 있는 경우의 출력신호 전압보다 2.14배 증가하는 것을 확인하였다. 그래서 본 논문에서는 PCB 보드 상에서 PIN 다이오드 입력단과 센서 출력단 사이의 커플링 노이즈를 억제하기 위해 그림 11에서 보는바와 같이 PCB 상에서 CSA 입력단인 VIN과 베타선 센서 출력단인 BS_OUT을 실리콘 칩의 상단과 하단에 배치하므로 PCB trace간의 커패시터 커플링 노이즈를 줄이도록 하였다.

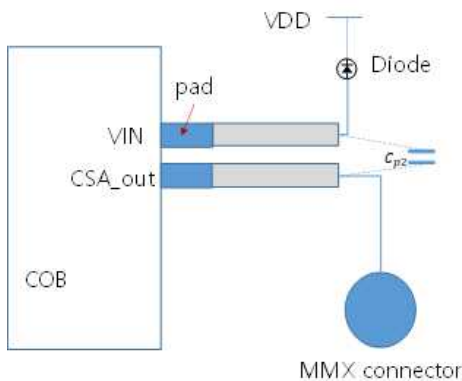


그림 9. CSA 회로 측정용 COB 테스트 보드에서 다이오드에 연결된 CSA 입력단과 CSA 출력단 사이에서

의 trace로 인한 커플링 커패시턴스 모델링.
Fig. 9. Coupling capacitance modelling due to trace between CSA input terminal and CSA output terminal connected to diode in COB test board for CSA circuit measurement.



(a)



(b)

그림 10. COB 테스트 보드에서 CSA의 출력전압 측정 파형 (a) PIN 다이오드 검출선을 제거하기 전 (b) 검출선을 제거한 후.

Fig. 10. Output voltage measurement waveform of CSA on COB test board: (a) before removing PIN diode detector and (b) after removing PIN diode detector.

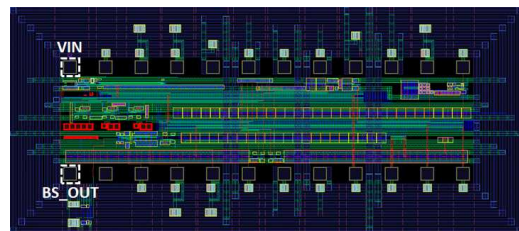
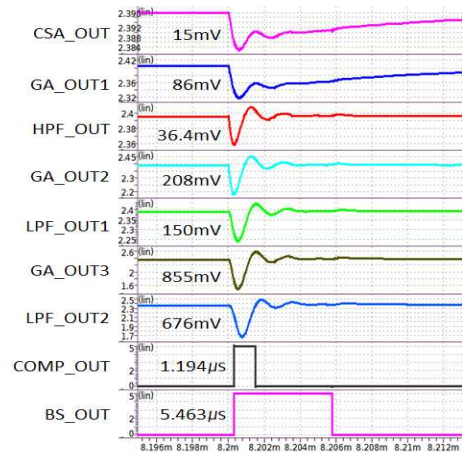


그림 11. DB하이텍 0.18μm CMOS 공정을 이용하여 설계된 베타선 센서 회로의 레이아웃 이미지.
Fig. 11. Layout image of beta-ray sensor designed using DB HiTek 0.18μm CMOS process.

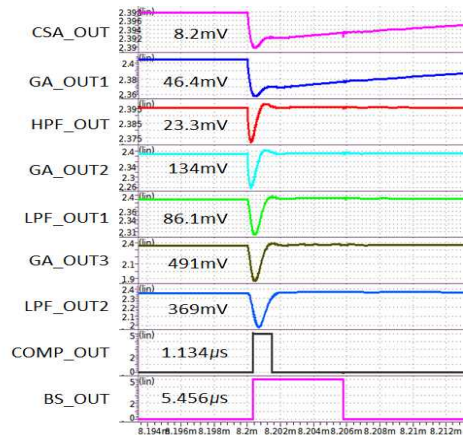
3. 모의실험 결과

그림 12는 CSA 회로에 PMOS 피드백 저항을 사용한 베타선 센서 회로의 post-layout 모의실험 결과를 보여주고 있으며, 그림 2의 제안된 베타선 센서 회로에서 CSA_OUT, GA_OUT1, HPF_OUT, GA_OUT2, LPF_OUT1, GA_OUT3, LPF_OUT2, COMP_OUT과 BS_OUT 노드의 전압 파형을 정리하였다. 그리고 그림 12(a)와 그림 12(b)는 CSA 회로의 피드백 커패시턴스가 각각 50fF와 100fF일 때 모의실험 결과를 보여주고 있으며, 피드백 커패시턴스가 100fF인 경우가 50fF인 경우보다 신호전압은 1/2로 줄어든다. 그리고 그림 13은 CSA 회로에 NMOS 피드백 저항을 사용한 베타선 센서 칩의 LPE를 통한 post-layout 모의실험 결과를 보여주고 있다. 그림 13(a)와 그림 13(b)는 CSA 회로의 피드백 커패시턴스가 각각 50fF와 100fF일 때 모의실험 결과를 보여주고 있으며, 피드백 커패시턴스가 100fF인 경우가 50fF인 경우보다 신호전압은 CSA 회로에 PMOS 저항을 사용한 회로와 비슷하게 1/2로 줄어드는 것을 볼 수 있다.

그러나 charge transfer efficiency 특성은 피드백 커패시턴스가 클수록 1에 가깝기 때문에 향후 베타선 센서 칩 제작을 통해 CSA 회로에 PMOS 피드백 저항을 사용한 경우와 NMOS 피드백 저항을 사용한 경우, 그리고 피드백 커패시턴스가 50fF와 100fF 각각의 조합에 대해 Ni-63 베타선원을 이용한 베타선 센서 측정을 통해 성능을 비교를 해볼 계획이다.



(a) $C_f = 50\text{fF}$



(b) $C_f = 100\text{fF}$

그림 12. CSA 회로에 PMOS 피드백 저항을 사용한 베타선 센서 회로의 post-layout 모의실험 결과.
Fig. 12. Post-layout simulation result of beta-ray sensor using a PMOS feedback resistor in the CSA circuit.

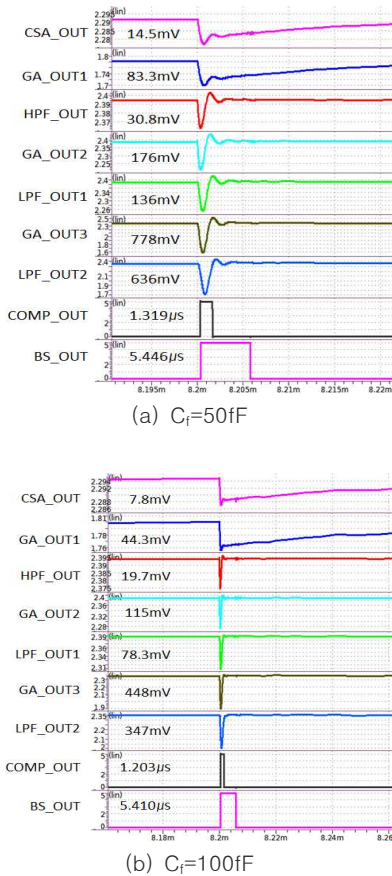


그림 13. CSA 회로에 NMOS 피드백 저항을 사용한 베타선 센서 회로의 post-layout 모의실험 결과.
Fig. 13. Post-layout simulation result of beta-ray sensor using an NMOS feedback resistor in the CSA circuit.

표 1은 그림 7과 그림 8에 있는 단조 다중발진기 회로를 사용했을 때 공급전압(VDD), 온도(TEMP)와 모델 파라미터에 따른 모의실험 조건별 단조 다중발진기 회로의 펄스 폭을 정리한 것이다. 기존의 회로에 대한 펄스 폭의 최소값과 최대값은 각각 $3.45\mu\text{s}$ 와 $7.66\mu\text{s}$ 이고, 제안된 회로에 대한 펄스 폭의 최소값과 최대값은 각각 $3.44\mu\text{s}$ 와 $7.08\mu\text{s}$ 로 큰 차이는 없다. 반면 소모전류 측면에서는 표 2에서 보는바와 같이 제안된 단조 다중발진기 회로는 $1.571\mu\text{A}$ 로 기존 회로의 $22.12\mu\text{A}$ 보다 작게 나오는 것을 볼 수 있다.

표 1. 단조 다중발진기 회로에 대한 모의실험 조건별 펄스 폭 비교 (a) 기존의 회로 (b) 제안된 회로.

Table 1. Comparison of pulse widths by corner simulation conditions for monostable multivibrator circuit: (a) conventional one and (b) proposed one.

(a)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	4.26 μs	4.41 μs	6.13 μs	7.53 μs	7.66 μs
	25°C	3.75 μs	3.99 μs	5.63 μs	7.00 μs	7.19 μs
	85°C	3.58 μs	3.70 μs	5.23 μs	6.57 μs	6.76 μs
5V	-40°C	4.17 μs	4.25 μs	5.96 μs	7.36 μs	7.50 μs
	25°C	3.79 μs	3.86 μs	5.46 μs	6.84 μs	7.01 μs
	85°C	3.51 μs	3.60 μs	5.11 μs	6.48 μs	6.60 μs
5.5V	-40°C	4.05 μs	4.11 μs	5.78 μs	7.19 μs	7.31 μs
	25°C	3.69 μs	3.71 μs	5.33 μs	6.74 μs	6.85 μs
	85°C	3.45 μs	3.49 μs	5.01 μs	6.26 μs	6.46 μs

(b)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	4.28 μs	4.02 μs	4.04 μs	4.08 μs	3.91 μs
	25°C	5.71 μs	5.38 μs	5.41 μs	5.46 μs	5.20 μs
	85°C	7.08 μs	6.76 μs	6.73 μs	6.77 μs	6.50 μs
5V	-40°C	3.91 μs	3.73 μs	3.75 μs	3.76 μs	3.63 μs
	25°C	5.21 μs	4.97 μs	4.96 μs	5.06 μs	4.84 μs
	85°C	6.50 μs	6.19 μs	6.24 μs	6.29 μs	6.04 μs
5.5V	-40°C	3.66 μs	3.53 μs	3.53 μs	3.55 μs	3.44 μs
	25°C	4.84 μs	4.67 μs	4.66 μs	4.70 μs	4.60 μs
	85°C	6.04 μs	5.78 μs	5.82 μs	5.85 μs	5.68 μs

표 2. 단조 다중발진기 회로에 대한 모의실험 조건별 소모전류 비교 (a) 기존의 회로 (b) 제안된 회로.
Table 2. Comparison of dissipation currents by corner simulation conditions for monostable multivibrator circuit: (a) conventional one and (b) proposed one.

(a)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	3.389	4.931	5.285	5.386	9.118
	25°C	4.385	8.292	7.868	5.835	10.79
	85°C	3.858	6.522	6.674	6.981	13.73
5V	-40°C	4.717	7.128	7.942	8.202	13.72
	25°C	4.795	6.870	7.902	7.805	13.19
	85°C	5.296	7.006	7.905	11.06	19.54
5.5V	-40°C	6.256	8.595	10.67	11.58	19.46
	25°C	6.213	6.660	10.58	13.81	22.12
	85°C	6.064	11.09	10.71	9.181	19.45

(b)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	0.748	0.830	0.850	0.874	1.019
	25°C	0.753	0.906	0.918	0.928	1.095
	85°C	0.802	0.954	0.958	0.972	1.087
5V	-40°C	0.857	0.981	0.991	1.037	1.204
	25°C	0.899	1.054	1.074	1.091	1.273
	85°C	0.949	1.112	1.108	1.145	1.322
5.5V	-40°C	0.987	1.137	1.243	1.155	1.347
	25°C	1.042	1.195	1.221	1.242	1.460
	85°C	1.081	1.246	1.269	1.292	1.571

4. 결론

본 논문에서는 DB하이텍 0.18 μ m CMOS 공정을 이용하여 진성난수 생성기에 사용되는 베타선 센서 회로를 설계하였다. 설계된 베타선 센서회로는 CSA 회로, 펄스 셰이퍼 회로, 비교기 회로와 단조 다중발진기 회로 등으로 구성되어 있다. CSA 회로는 PMOS 피드백 저항과 NMOS 피드백 저항을 선택하는 기능, 50ff와 100ff의 피드백 커패시터를 선택하는 기능을 갖는 회로를 설계하였다. CSA 회로에

서 PMOS 피드백 저항과 NMOS 피드백 저항을 사용하였을 때 CSA 회로의 출력 신호 전압은 비슷하게 나오는 반면, 같은 피드백 저항에 대해 피드백 커패시턴스가 100ff이 50ff에 비해 CSA 회로의 출력 신호 전압은 거의 1/2로 줄어든다. 피드백 저항으로 PMOS를 사용하는 것과 NMOS를 사용하는 것, 피드백 커패시턴스로 50ff과 100ff을 사용하는 것에 대한 최종 결정은 Ni-63 베타선원을 이용한 베타선 센서 칩의 특성측정을 통해 결정할 계획이다.

한편 펄스 셰이퍼 회로는 비반전 증폭기를 이용한 CR-RC² 펄스 셰이퍼 회로를 사용하였다. 본 논문에서 사용한 OPAMP 회로는 이중 전원 대신 단일 전원을 사용하고 있으므로 CR 회로의 저항과 RC 회로의 커패시터의 한쪽 노드는 GND 대신 VCOM에 연결한 회로를 사용하였다. 그리고 펄스 셰이퍼의 출력신호가 단조 증가하지 않아서 비교기 회로의 출력 신호가 다수의 연속된 펄스가 발생하더라도 단조 다중발진기 회로를 사용하여 신호 왜곡이 안되도록 하였다. 또한 CSA 입력단인 VIN과 베타선 센서 출력단을 실리콘 칩의 상단과 하단에 배치하므로 PCB trace간의 커패시터 커플링 노이즈를 줄이도록 하였다.

REFERENCES

- [1] M. Herrero-Collantes et al., "Quantum Random Number Generators," Reviews of Modern Physics, Feb. 2017.
- [2] K. H. Park et al., "Apparatus and Method for Generating Quantum Random Number," Korean Patent applied no. 10-2018-0054533, May 2018.
- [3] John Gribbin, Q is for Quantum, ISBN-13: 978-0684855783, pp. 291-292, 1998.
- [4] Anil and Ananthaswamy. How to Turn a Quantum Computer into the Ultimate Randomness Generator. Quanta Magazine. June 19, 2019.
- [5] Glen F. Knoll, Radiation Detection and Measurement, Third Edition, John Wiley & Sons Inc., 2000.
- [6] W. R. Wampler, B. L. Doyle, "Low-Energy Beta Spectroscopy Using PIN Diodes to Monitor

Tritium Surface Contamination”, Nuclear Instruments and Methods in Physics Research, A349, pp. 473-480, 1994.

[7] Mihai Culcer, Mariana Iliescu, Marian Curuia, Adrian Enache, Ioan Stefanescu, Catalin Ducu, Viorel Malinovschi, “Tritium Contaminated Surface Monitoring with a Solid-State Device,” Proceedings of the International Conference Nuclear Energy for New Europe, 713.1-6, Sep. 2004.

[8] S. B. Baek et al., “A Design of Single Pixel Photon Counter for Digital X-ray Image Sensor,” Journal of the Korea Institute of Information and Communication Engineering vol. 11, no. 2, Feb. 2007.

[9] Y. H. Kim et al., “A Study on the Design of a Beta Ray Sensor for True Random Number Generators,” JKIIECT, vol. 12, no. 9, pp. 619-628, Dec. 2019.

[10] Y. H. Kim et al., “A Study on the Design of a Beta Ray Sensor Reducing Digital Switching Noise,” JKIIECT, vol. 13, no. 5, pp. 403-411, Oct. 2020.

[11] HongZhou Jin et al., “Design of a Beta Ray Sensor,” IDEC Congress Chip Design Contest, June 2021.

[12] Mohammad Nakhostin, “Signal Processing for Radiation Detectors,” John Wiley & Sons, Inc., 2018.

[13] R. JACOB BAKER, “CMOS: Circuit Design, Layout, and Simulation,” WILEY-IEEE Press, May 2021.

저자약력

김 홍 주(Hong-Zhou Jin) [학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

차 진 솔(Jin-Sol Cha)

[학생회원]



- 2017년 2월 : 경상대학교 세라믹공학과 (공학사)
- 2019년 2월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

황 창 윤(Chang-Yoon Hwang)

[학생회원]



- 2020년 2월 : 창원대학교 정보통신학과 (공학사)
- 2020년 3월 ~ 현재 : 창원대학교 스마트제조융합과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

이 동 현(Dong-Hyeon Lee)

[학생회원]



- 2020년 2월 : 경남대학교 전자공학과 (공학사)
- 2020년 3월 ~ 현재 : 창원대학교 스마트제조융합과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

라자 무하마드 살만(Raza-Muhammad Salman) [학생회원]



- 2018년 9월 : Federal Urdu University of Arts Science And Technology (공학사)
- 2019년 9월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

박 경 환(Kyung-Hwan Park) [정회원]



- 1993년 : KAIST 전기전자공학과 (공학석사)
- 1997년 : KAIST 전기전자공학과 (공학박사)
- 1997년 ~ 2000년 : 대전 DACOM R&D Center
- 2001년 1월 ~ 현재 : 한국전자통신연구원 책임연구원

〈관심분야〉 Radiation 기반 난수 생성기, 무선통신

김 종 범(Jong-Bum Kim) [정회원]



- 2000년 : 충남대학교 전기공학과 (공학석사)
- 2011년 : KAIST 원자력양자공학과 (공학박사)
- 2000년 1월 ~ 현재 : 한국원자력연구원 책임연구원

〈관심분야〉 양자 난수 생성기
방사성 동위원소 어플리케이션

하 판 봉(Pan-Bong Ha) [중신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계

김 영 희(Young-Hee Kim) [중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계