

<https://doi.org/10.7236/JIIBC.2021.21.5.11>
JIIBC 2021-5-2

TMS320C6678을 적용한 소형 Radio Frequency 추적레이다용 고속 실시간 신호처리기 설계

Development of High-Speed Real-Time Signal Processing Unit for Small Radio Frequency Tracking Radar Using TMS320C6678

김홍락*, 현효영*, 김윤진*, 우선결*, 김광희**

Hong-Rak Kim*, Hyo-Young Hyun*, Younjin Kim*,
Seonkeol Woo*, Gwanghee Kim**

요약 소형 Radio Frequency 추적레이다는 표적에 대하여 전천후 Radio Frequency 신호 처리를 통하여 표적을 식별하고 주요 표적에 대하여 표적을 탐색, 탐지하여 추적하는 Radio Frequency 센서를 보유한 추적시스템이다. 본 논문에서는 전천후 Radio Frequency를 이용하여 표적 정보를 획득하여 실시간 신호처리를 통하여 표적을 식별하기 위한 고속의 멀티코어 DSP인 TMS320C6678과 XILINX FPGA(Field Programmable Gate Array)가 탑재된 보드 개발의 내용을 설명한다. DSP, FPGA 선정과 신호처리를 위한 DSP-FPGA 결합 아키텍처에 대하여 제안하고 또한 고속의 데이터 전송을 위한 SRIO의 설계에 대하여 설명한다.

Abstract The small radio frequency tracking radar is a tracking system with a radio frequency sensor that identifies a target through all-weather radio frequency signal processing for a target and searches, detects and tracks the target for the major target. In this paper, we describe the development of a board equipped with TMS320C6678 and XILINX FPGA (Field Programmable Gate Array), a high-speed multi-core DSP that acquires target information through all-weather radio frequency and identifies a target through real-time signal processing. We propose DSP-FPGA combination architecture for DSP and FPGA selection and signal processing, and also explain the design of SRIO for high-speed data transmission.

Key Words : Radio Frequency, FPGA, CPU, TMS320C6678, DSP

*정회원, LIG넥스원(주)
*정회원, 국방과학연구소
접수일자 2021년 8월 9일, 수정완료 2021년 9월 9일
게재확정일자 2021년 10월 8일

Received: 9 August, 2021 / Revised: 9 September, 2021 /
Accepted: 8 October, 2021
Corresponding Author: hongrak.kim@lignex1.com
Dept. of RF & IIR Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea

I. 서 론

소형 RF 추적레이더는 표적에 대하여 전천후로 신호를 입력받아 표적을 식별하고 주요 표적에 대하여 표적을 탐색, 탐지하여 추적하는 RF 센서를 보유한 추적시스템이다. 입력되는 표적신호를 실시간으로 처리하여 표적을 식별하고 탐지 및 추적을 수행하기 위해서는 고속의 연산이 가능한 신호처리기 개발이 필요하다. 고속의 연산을 위하여 20년대 초반에는 단일 코어를 보유하고 있는 DSP를 주로 사용하였다.^{[1][2][3]} 표적의 속도정보를 정밀하게 획득하기 위하여 많은 샘플수의 FFT를 수행해야 함으로, 단일 DSP를 적용하기 보다는 실시간 처리를 위하여 최대 8개의 많은 개수의 DSP가 적용되었다. 다중 DSP를 적용하는 경우 처리속도, 처리 매개 변수의 정밀도 및 동적 범위 등의 실시간 신호처리 요구사항을 충족하기 위해서는 다중 프로세서 병렬 처리 기술이 요구되기도 한다. 최근에는 반도체 기술의 발전으로 DSP 내부에 여러 코어를 보유하고 있는 멀티 코어 DSP의 출현으로 더욱 빠르게 많은 연산을 수행하게 되었다. 특히 TI사의 멀티 코어 DSP인 TMS320C6678은 8개의 DSP를 보유하고 있어서 기존의 단일 코어에 대비 높은 연산량과 속도를 자랑한다.^{[4][5]} 특히 TMS320C6678은 SAR(Synthetic Aperture Radar) 영상 처리와 이미지 영상 처리에도 적용되고 있다.^{[6][7]} 또한 하나의 보드에 여러 DSP를 사용할 때 대비 신호처리보드의 소형화 설계 및 가격 절감이 가능하다.

TI사의 고성능 8 코어 DSP인 TMS320C6678은 고속 컴퓨팅 성능과 고속 직렬 인터페이스인 SRIO, HyperLink를 지원함으로, 다중 DSP 간 및 DSP-FPGA간의 데이터를 빠르게 주고받을 수가 있어 확장성이 용이하다. 본 논문에서는 두 개의 DSP와 단일 FPGA를 활용한 신호처리기 설계에 대하여 기술하며, DSP와 FPGA의 전용 고속 데이터 전송을 위한 SRIO 구현과 DSP에서 FPGA로의 각종 데이터 전송을 위한 PCIe 구현에 대하여 설명한다. 또한, 기존설계와의 비교분석 및 실시간 신호처리와 자체 검증을 통한 신호처리기 설계 결과를 제시한다.

II. 신호처리기 설계

1. TMS320C6678 소개

TMS320C6678은 C66x 시리즈의 8 코어 부동 소수점 DSP이며 각 코어의 최대 작동 주파수는 1.25GHz에

이른다. 단일 명령 사이클에서 32 개의 고정 소수점 데이터 또는 16 개의 부동 소수점 데이터 연산을 실행한다. 320 GMAC 고정 소수점 계산 또는 160 GFLOP 부동 소수점 계산 기능을 제공하며 내부 구조는 그림 1과 같다. 다수의 온칩 메모리 자원을 통합하고 각 코어에는 32KB L1 프로그램 및 32KB L1 데이터 캐시, 512KB 구성이 가능한 특정 메모리 및 4096KB 멀티 코어 공유 메모리가 있으며 공유 L2로 사용할 수 있다. SRAM 또는 L3 SRAM, 모든 내부 L2 메모리에는 오류 감지 및 수정이 포함되어 있다. 또한 최대 1600MHz 64 비트 DDR3 인터페이스의 실행 속도를 제공하며 8GB 주소 지정 범위를 직접 제어 할 수 있는 DDR3 컨트롤러 인터페이스도 제공한다. 칩 주변 장치에는 4 개의 SRIO 고속 직렬 인터페이스, 2 개의 PCIe 인터페이스, 16 비트 외부 메모리 EMIF 인터페이스, 기가비트 이더넷 포트 및 SPI, I2C 버스가 지원된다. 4 채널 SRIO는 최대 20Gbps 속도를 제공 할 수 있으며, 하이퍼 링크는 1 채널 또는 4 채널 모드를 지원하며, 각 채널은 12.5Gbps 전송 속도를 지원하고, PCIe는 2 채널 모드를 지원하고, 각 채널은 5GBaud 속도를 지원한다. 이더넷 인터페이스는 10 / 100 / 1000Mbps 속도를 지원한다. 3 개의 EDMA3 채널이 있으며 한 채널은 16 개의 독립적인 채널로 1/2 코어 주파수에서 작동하고 다른 하나는 64 개의 독립적인 채널로 코어 주파수의 1/3에서 작동한다. EDMA3의 주요 목적은 장치에 있는 두 개의 메모리 매핑된 슬레이브 엔드 포인트간에 사용자 프로그래밍 데이터 전송을 서비스하는 것이다. TI의 SmartReflex 가변 공급 기술은 DSP 작업 중 정적 및 동적 전력 소비를 줄이기 위해 특정 작동 조건에 따라 코어 전압을 최적화할 수 있다.

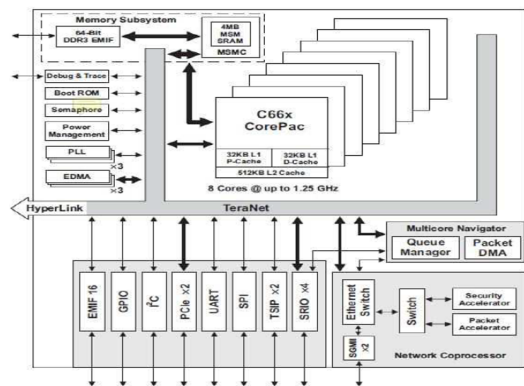


그림 1 TMS320C6678 구조
Fig. 1. TMS320C6678 structure

TMS320C6678 DSP는 기존의 아날로그 디바이스사의 ADSP-TS201S의 단종으로 대체 개발용으로 선정되었다. 표 1은 기존 DSP와의 비교를 보여주고 있다. 동작 속도와 내부 코어에 있어서 상당히 높은 성능을 보여 주고 있다. 다만, 내부코어가 많아서 소비전력이 상대적으로 높음을 알 수 있다.

표 1. DSP 비교표
 Table 1. DSP Comparison table

항목	기존 사업	신규 개발
DSP	ADI ADSP-TS201S	TI TMS320C6678
동작 속도/Core	600MHz/Dual ALU	1000MHz/8 Cores
연산 능력	40비트 부동소수점 32 x 32 정수 연산/4.8GMAC	64비트 부동소수점 64비트 정수연산/32GMAC
내장 메모리	24Mbits(-8192KBytes)	8704KBytes
외장메모리	SDRAM/EPROM/SRAM	DDR3/EPROM/SRAM/NAND
멀티 프로세서 지원	지원(최대 8 DSPs)	지원 (2 개 DSP 적용)
고속 통신	4 채널 전이중/최대 1GBytes/sec	SRIO/PCIe/HyperLink/GbE
주변 장치	DMA/Interrupt/Timer/GPIO	DMA/Interrupt/Timer/GPIO/SPI/UART/I2C
소비 전력(Typ.)	4.27W	20W 이상

2. SRIO (Serial Rapid IO)

SRIO 인터커넥트 아키텍처는 개방형 표준으로, 애플리케이션 측면에서 임베디드 인프라의 광범위한 요구를 충족한다. 실행 가능한 응용 프로그램에는 다중 프로세서, 메모리, 네트워크 장비의 메모리 매핑 I / O 장치, 스토리지 하위 시스템 및 범용 컴퓨팅 플랫폼이 포함된다. 칩 대 칩 및 보드 대 보드 통신을 지원하는 시스템 상호 연결로서의 이 상호 연결 기술은 1Gbps에서 60Gbps까지의 성능 수준을 달성할 수 있으며, 고속 상호 연결 개발에 대한 광범위한 활용성이 있다. TMS320C6678 통합 4 채널 SRIO 인터페이스는 다양한 물리적 인터페이스 형태 (1x, 2x, 4x)로 구성 할 수 있으며, 보드 간 상호 연결 및 보드 내 재구성 가능한 상호 연결을 용이하게 한다.

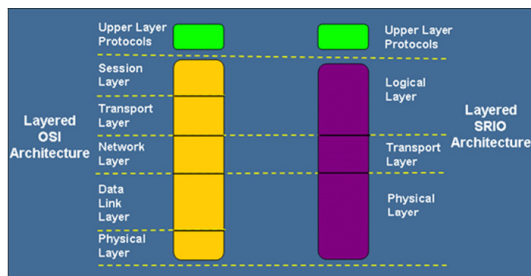


그림 2. SRIO 계층 구조
 Fig. 2. Layered SRIO Architecture

SRIO는 그림 2와 같이 3 계층 아키텍처 계층으로 지정되며 물리적 계층, 전송 계층 및 논리 계층으로 구성된다. 물리적 계층은 패킷 전송 메커니즘, 흐름 제어, 전기적 특성 및 낮은 수준의 오류 관리와 같은 장치 수준의 인터페이스 특성을 설명하고, 전송계층은 엔드 포인트간에 패킷을 이동하기 위한 라우팅 정보를 제공한다. 스위치는 장치 기반 라우팅을 사용하여 전송 계층에서 작동한다. 마지막으로, 논리 계층은 전체 프로토콜 및 패킷 형식을 정의한다.

여기서 모든 패킷은 256 페이로드 바이트 이하를 포함한다. 트랜잭션은 34/50/66 비트 주소 공간을 대상으로 하는 읽기, 쓰기 또는 DMA 작업을 사용한다.

본 논문의 설계에서 사용하는 DSP인 TMS320C6678에서는 SRIO 인터페이스가 지원됨으로, XILINX FPGA에서는 SRIO 관련 IP를 적용하여 별도 설계를 진행하였다. 그림 3은 Xilinx SRIO IP 구조를 나타내며, 자동 패킷 우선 순위 지정 및 대기열 지정을 수행하는 소스 코드로 버퍼 계층 참조 설계를 제공하고, SRIO 물리 계층 IP는 링크 훈련 및 초기화, 검색 및 관리, 오류 및 재시도 복구 메커니즘을 구현할 수 있다. 또한 고속 트랜시버는 물리 계층 IP에서 인스턴스화되어 1.25Gbps, 2.5Gbps, 3.125Gbps의 라인 속도에서 1 및 4 레인 SRIO 버스 링크를 지원한다. 레지스터 관리자 참조 설계를 통해 SRIO 호스트 디바이스는 엔드 포인트 디바이스 구성, 링크 상태, 제어 및 타임 아웃 메커니즘을 구성하고 유지할 수 있다. 또한 사용자 설계가 엔드 포인트 장치의 상태를 조사 할 수 있도록 레지스터 관리자에 포트가 제공된다. 본 논문에서 제시하는 설계에서 SRIO는 레이더 신호처리에 필요한 고용량의 데이터를 FPGA에서 전처리한 후 DSP로 빠르게 전송하는 역할을 수행하며, 4채널을 사용한다. 또한 DSP에서는 2진 바이트를 저장하는 순서인 엔디안을 최하위 비트부터 부호화되어 저장되는 리틀 엔디안이 기본적으로 제공된다. FPGA의 IP에서는 빅 엔디안이 사용됨으로, 이를변경하여 사용하여야 한다.

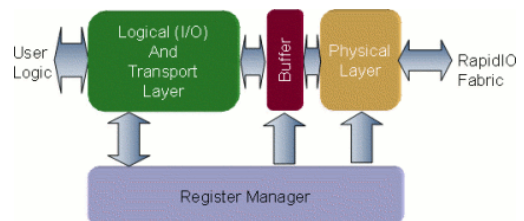


그림 3. SRIO 용 Xilinx Endpoint IP 아키텍처
 Fig. 3. Xilinx Endpoint IP Architecture for SRIO

3. 하이퍼 링크

패킷 교환 메커니즘을 기반으로 하는 하이퍼 링크 통신 인터페이스의 특징은 고속, 낮은 대기 시간 및 낮은 핀 번호이다. 여기에는 데이터 및 제어 신호가 포함된다. 데이터 패킷 전송에 사용되는 SerDes 차동 신호를 기반으로 하는 데이터 신호는 1 채널 또는 4 채널 모드를 지원하며 각 채널 전송 속도는 12.5GBaud 이다. 제어 신호는 흐름 제어 및 전원 관리에 사용되는 LVCMOS 단일 종단 신호이다. 하이퍼 링크는 내부 CBA (Common Bus Architecture) 확장 고속 인터페이스를 위한 TI의 최근 출시된 멀티 코어 프로세서 C66x에 통합되어 있으며, TI 고유의 주변 장치 인터페이스 세트이며, 표준 산업 인터페이스 사양이 없으며 두 장치 통합 하이퍼 링크 인터페이스 간의 포인트 상호 연결을 위해 현재 2 개의 포트만 지원한다. 하이퍼 링크 인터페이스를 사용하여 두 개의 TMS320C6678을 상호 연결할 수 있으며 특정 레지스터 구성 및 부하에 따라 제어 신호 인터페이스가 자동으로 조정된다. 최대 50GBaud의 전송 속도를 얻을 수 있다.

4. PCIe

PCIe는 2004년에 개발되어 높은 시스템 버스 대역폭, 적은 I/O 핀수, 적은 물리적 면적, 버스 장치들에게 더 뛰어난 확장성을 위하여 사용되고 있다. TMS320C6678은 PCIe 포트가 2개 지원되고 있으며 본 논문에서는 FPGA와 고속의 데이터 통신에 사용하도록 설계하였다. FPGA에서는 별도의 PCIe 포트가 없으므로 IP를 이용하여 내부에 설계를 하였다. DSP에서 어드레스 맵에 할당된 명령과 데이터를 기존의 어드레스 버스와 데이터 버스를 활용하여 전달하던 방식에서 PCIe를 활용하여 전달하는 방식으로 변경되었다. 물리적인 line 수가 대폭 줄어들어 온도에 의한 전송 line에 의한 신호의 지연을 최소화 할 수 있게 설계하였다.

5. 하드웨어 설계

신호처리기의 주요 사양은 표 2와 같다. 앞선 설명으로부터 신호처리기 주요 사양에 맞는 DSP, FPGA 선정과 DDR3 메모리를 선정하였다. 신호처리기 설계는 모듈식으로 설계되어 두 개의 DSP와 하나의 FPGA로 구성된다. 두 개의 DSP는 하이퍼링크를 통하여 상호 연결된다. 또한 각 DSP는 기본적으로 FPGA와 PCIe를 통하여 연결되어 명령을 내리고 결과를 받는 구조로 되어 있다.

표 2. 신호처리기 주요 사양

Table 2. Signal Processing Unit Specification.

항목	개발 사양	비고
수신 입력	4개 채널	
ADC	14 bit 이상, 샘플링 주파수 80MHz 이상	
DDC	14 bit 이상	
필스 압축	압축 필스폭 : 000 ns	
적분수	SNR 에 따른 가변 구조	
통신	RS232, GbE, RS485	
동작 클럭	1.0 GHz 이상	
RAM	DDR3 1Gb	
FPGA	Kintex 7 이상	

수신된 신호가 FPGA에서 전처리된 후 DSP로의 전송은 고속의 대용량 전송이 가능한 SRIO를 통하여 4개의 채널로 전송된다.

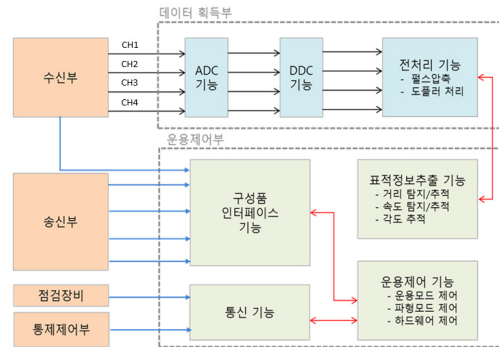


그림 4. 신호처리기 개념도

Fig. 4. Signal Processing Unit Concept

그림 4는 신호처리 개념도를 나타내며, 데이터 획득부는 FPGA와 DSP로 구성되어 있으며 수신된 아날로그 신호를 입력받아 디지털로 변환한 후 FPGA에서 주파수 하향변환을 DDC 기능에서 수행한다. 이때 아날로그 신호의 손실을 최소화하고 충분한 동적영역을 확보할 수 있도록 회로설계 및 ADC(아날로그 디지털 변환기)를 선정하여야 한다. 또한 레이더 신호 수신 회로부와 신호처리가 사용하는 전원이 다르기 때문에 전위차에 의한 손실도 발생할 수 있으므로 수신신호 입력단 분리를 위하여 1:1 Transformer를 적용하였고 ADC의 RC 회로 모델링을 통하여 임피던스 매칭 설계를 하였다. 그림 5는 수신신호입력부의 회로도이며 입력되는 수신신호의 주파수와 임피던스 매칭을 고려하여 저항값을 선정한다.

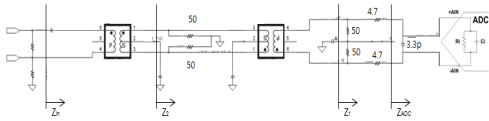


그림 5. 수신신호입력부
 Fig. 5. Receive signal input section

FPGA에서 하향 변환된 신호를 펄스압축 및 도플러 처리 등의 전처리를 수행하며, 전처리된 대용량의 데이터는 SRIO 통신을 통하여 DSP로 전송된다. 데이터 획득부의 DSP는 대용량의 데이터를 기반으로 표적의 탐지 추적을 위한 속도정보와 각도정보를 추출한다. 추출된 정보는 하이퍼링크를 통하여 운용제어부의 DSP로 전달하여 표적의 탐지 및 추적을 위하여 구성품들을 제어하게 된다.

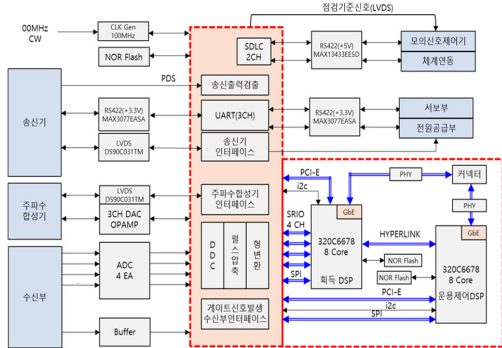


그림 6. 신호처리기 블록도
 Fig. 6. Signal Processing Unit Block Diagram

그림 6은 설계된 설계 신호처리기의 블록도를 나타내며, 그림 5의 신호처리기 개념을 기반으로 FPGA 1개와 2개의 DSP 및 주변회로로 구성되어 있다.

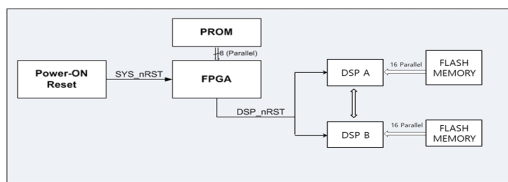


그림 7. 부팅 구조
 Fig. 7. Booting Structure

그림 7은 신호처리기의 부팅 구조를 나타낸다. 전원이 인가되면 Power-ON Reset을 기반으로 FPGA가 먼저 PROM으로부터 데이터를 가져와 활성화된다. 그 이후 DSP를 부팅시키기 위하여 DSP_nRST 신호를 생성하여

DSP를 병렬로 부팅을 시키게 된다. 부팅 속도 최소화를 위하여 Flash Memory와 16 bit로 연결된다.

그림 8은 설계된 보드의 형상을 나타낸다. FPGA를 프로그래밍하고 디버깅하기 위한 JTAG 단자 및 DSP 응용 프로그램 개발하고 디버깅하기 위한 JTAG 단자 가 있다. 또한, 각 구성품 인터페이스 및 마더보드와의 연결을 위한 커넥터가 존재한다.

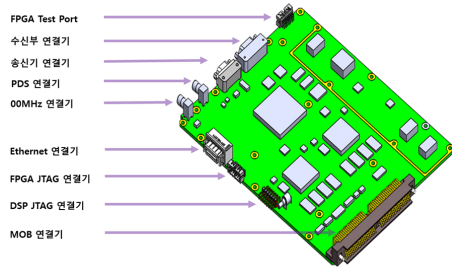


그림 8. 하드웨어 형상
 Fig. 8. Hardware Structure

그림 9는 방열을 위한 케이스 형상을 나타낸다. 앞에서 언급된 바와 같이 본 논문에서 제시하는 설계에 적용되는 DSP는 상대적으로 발열이 많기 때문에 방열에 신경을 많이 써야 한다. 그림 9와 같이 DSP 2곳, FPGA 1곳, DDR3 메모리 2곳에 대하여 방열블록을 통하여 방열되는 구조로 설계하였다.

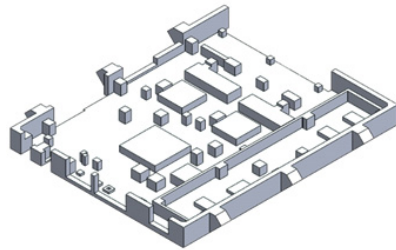


그림 9. 방열을 위한 케이스 형상
 Fig. 9. Case structure for heat dissipation

그림 10은 신호처리기의 운용 시간 동안 발생하는 열에 대한 열해석 결과를 나타낸다. 국부적으로 발열이 생성되었지만 각 부품의 운용 온도 규격을 만족하였고, 이를 통해 방열설계가 충분함을 확인할 수 있었다. 또한, 열해석에 사용된 소모전력은 보수적으로 수치를 잡았으므로 추가적인 열적 마진이 있을 것으로 판단된다.

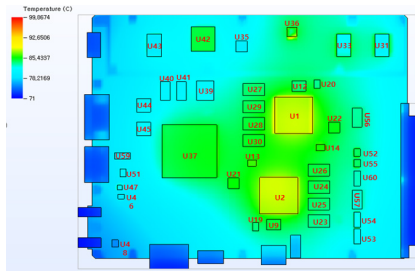


그림 10. 열해석 결과
Fig. 10. Thermal analysis result

III. 신호처리기 제작

신호처리기는 여러 해석을 거쳐서 Artwork을 수행한 후 PCB를 제작하였다. 특히 BGA 부품이 많으므로 SMT 이후에 납볼에 void가 생성되지 않도록 각 부품들의 데이터시트에서 제공되는 SMT 온도와 시간에 대한 절차를 잘 준수하여 제작 하였다.

신호처리기 보드는 요구 사항에 맞추어서 별도로 설계 제작됨으로 기존 표준 사이즈의 Single Board Computer 보드와는 형상이 상이하며, 효율적인 방열이 수행될 수 있도록 케이스와 부품간의 밀접 접촉을 위한 다수의 체결 부위를 설정하였다.

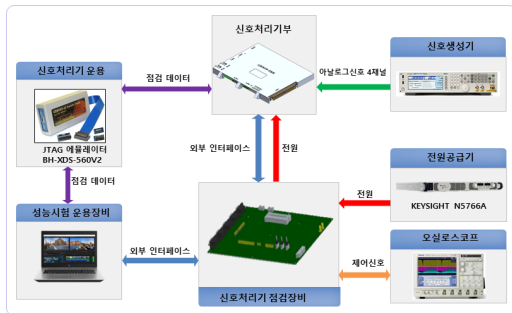


그림 11. 신호처리기 시험 구성
Fig. 11. Signal Processing Unit Test Configuration

그림 11은 신호처리기의 시험 구성을 나타낸다. 전원을 공급하는 전원공급기와 수신된 아날로그 신호를 모으는 신호생성기 등으로 구성된다. 표 3은 위와같은 시험 구성을 통해 측정된 선형성 오차 측정 결과를 보여 주고 있다. 4개의 채널 모두 규격을 만족함을 확인하였다.

표 3. 선형성 오차 측정 결과
Table 3. Test result of linearity error

신호발생기 입력 [dBm]	CH1	CH2	CH3	CH4
	선형성오차	선형성오차	선형성오차	선형성오차
+00 dBm	-0.5	-0.4	-0.6	-0.4
+00 dBm	-0.2	0	-0.2	0
+00 dBm	-0.1	0	-0.1	0
+00 dBm	0	0	0	0
+00 dBm	0	0	0	0
+00 dBm	0	0	0	0
+00 dBm	0	0	0	0
+00 dBm	0	0	0	0
+00 dBm	0	0	0	0
+00 dBm	-0.1	0	-0.5	0
+00 dBm	-0.3	-0.1	-0.3	-0.2
+00 dBm	-0.2	-0.3	-0.1	-0.3
+00 dBm	-0.1	-0.2	0.1	-0.1
+00 dBm	0.1	0.1	0.2	0.1

그림 12는 수신된 신호의 펄스압축 시험 결과이다. 그림 11의 시험구성에서 LFM 신호발생장치를 통하여 약속된 펄스폭의 LFM 신호를 생성하여 신호처리기로 입력하여 FPGA를 거쳐 펄스압축과 형변환 후 DSP로 입력된 결과를 저장하였다. 4 채널 신호처리 결과 모두 규격을 만족하며, 특성이 거의 유사한 결과를 얻었다.

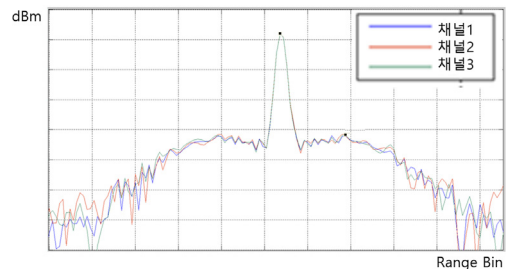


그림 12. 펄스압축 시험
Fig. 12. Pulse Compression Test

IV. 결론

본 논문에서는 추적레이다용 고속 실시간 신호처리기에 대한 설계 및 제작 후 시험 결과를 제시하였다. 연산량 분석을 통하여 1.0GHz Core Clock을 가지는 TI사의 TMS320C6678로 설계 제작 하였고, DDR3 메모리, Flash 메모리, DPRAM 및 FPGA 등의 부품을 선정하였다. FPGA는 DDC, 펄스압축 등의 기능 설계를 고려하여 XILINX사의 Kintex Ultrascale로 선정하여 설계 제작 하였다. 기존과 달리 멀티 코어 DSP를 선정, DDC, 펄스

압축 기능을 FPGA로 구현함으로써 단일 보드 형태로 신호 처리기를 구현하였다. 또한 전용 시험 장비를 구성하여 성능시험을 통하여 결과를 확인하였다.

References

- [1] Jin-Kyu Choi, Jun-Ho Yoon, "A Design of the High-Performance Signal Processor for a Small Tracking Radar", CICS 2012, pp191-192, Oct, 2012.
- [2] Doh Hyun Kim, Young Sung Lee, "Miniaturization of Signal Processor of Airborne Tracking Radar", The Korean Institute of Electrical Engineers Conference, pp114-117, Nov, 2002.
<http://www.dbpia.co.kr/Article/NODE01326985>
- [3] Jin-Kyu Choi, Han-Chun Ryu, "A Development of the High-Performance Signal Processor for the Compact Millimeter Wave Radar", The Journal of The Institute of Internet, Broadcasting and Communication, Vol. 17, No. 6, pp.161-167, Dec.31, 2017.
 DOI: <https://doi.org/10.7236/JIIBC.2017.17.6.161>
- [4] Mahmoud Meribout, Mamoru Nakanishi and Takeshi Ogura, "Accurate and Real-time Image Processing on a New PC-compatible Board", 2002 Elsevier Science Ltd., Real-Time Imaging 8, 35-51 (2002)
 DOI: <https://doi.org/10.1006/rtim.2001.0269>
- [5] Daniel L. Rosenband, "A Design Case Study: CPU vs. GPGPU vs. FPGA" 2009 IEEE
- [6] Suyoung Bae, Jong-Soo Seok, "Implementation of CPU/GPU based acceleration kernels on OpenVX Framework for image processing on Embedded H/W platform", Proceedings of Symposium of the Korean Institute of communications and Information Sciences , 2019.11. 349-350
- [7] Oliver Jakob Arndt, Daniel Becker, "Parallel Implementation of Real-Time Semi-Global Matching on Embedded Multi-Core Architectures", 978-1-4799-0103-6/130 ©2013 IEEE
- [8] Sourav Dutta, Dimitri Kagaris, "Hypervisor-Induced Negative Interference in Virtualized Multi-Core Platforms: The P4080 Case", 2017 IEEE 11th International Symposium on Embedded Multicore / Many-core Systems-on-Chip
 DOI: <https://DOI.org/10.1109/MCSoc.2017.11>
- [9] Dariusz Budzinski, Jerzy Kampa, "DETECTOR LOG VIDEO AMPLIFIER WITH 60 dB LOGGING FUNGE", 14th International Conference on Microwaves, Radar and Wireless Communications, May 2002.
 DOI: <https://doi.org/10.1109/MIKON.2002.1017847>
- [10] Lim Joong-Soo, Park Young Chul, "An Analysis of Operating Characteristics for Digital Pulse Compressor of Coherent Radar in Time Domain", 2006 Conference on Korea Academy Industrial Cooperation Society,

pp397-400, May 2006.

- [11] Xinggan Zhang, Zhaoda Zhu, "A pulse compression processor implementation with DSP for airborne pulse Doppler radar", AIAA/IEEE Digital Avionics Systems Conference. 13th DASC, 30 Oct.-3 Nov. 1994.
 DOI: <https://doi.org/10.1109/DASC.1994.369447>
- [12] Jeong-Yeon Kim, "X-Band FMCW RADAR Signal Processing for small ship" Journal of the Korea Academia-Industrial cooperation Society(JKAIS), Vol. 10, No. 11, pp. 3121-3129, 2009
- [13] Sangsik Lee, "Development of Signal Process Software for Electromyograph(EMG)" The Journal of KIIECT, Vol. 2, No. 2, pp. 17-22, 2009.
- [14] Jongbok Lee, "Design and Simulation of ARM Processor using VHDL", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 18, No. 5, pp.229-235, Oct. 31, 2018.
 DOI: <https://doi.org/10.7236/JIIBC.2018.18.5.229>
- [15] J. Davidson, "FPGA Implementation of a Reconfigurable Microprocessor," IEEE Custom Integrated Circuits Conference, 1993, pp.3.2.1-3.2.4.
- [16] A.A. Morgan, M.E. Allam, M.A. Salama, and H.A.K Mansourm "Implementation of an ARM Compatible Processor Core for SOC Designs," 2005 International Conference on Information and Communication Technology, Dec. 2005.

저 자 소 개

김 홍 락(정회원)



- 1995년 2월 : 대구대학교 전자전기컴퓨터학부 (공학사)
- 1997년 8월 : 대구대학교 전자공학과 (공학석사)
- 1997년 7월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 밀리미터파 신호처리, 전원공급기, 밀리미터파 센서 등

현 호 영(정회원)



- 2007년 2월 : 경북대학교 전기전자전파공학부(공학사)
- 2009년 2월 : 경북대학교 전기전자전파공학부(공학석사)
- 2007년 1월 ~ 현재 : LIG넥스원(주) 수석 연구원
- 주요관심분야 : 임베디드 시스템, 디지털 신호처리

김 윤 진(정회원)



- 1997년 2월 : 서울대학교 전기공학부 (공학사)
- 1999년 2월 : 서울대학교 전기공학부 (공학석사)
- 1999년 3월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 밀리미터파 센서 시스템 등

우 선 결(정회원)



- 2001년 2월 : 광운대학교 전자공학부 (공학사)
 - 2003년 2월 : 광운대학교 전파공학과 (공학석사)
 - 2007년 7월 : 광운대학교 전파공학과 (공학박사)
 - 2007년 8월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 레이더 신호처리, 밀리미터파 센서 등

김 광 희(정회원)



- 1998년 2월 : 전남대학교 컴퓨터공학과(공학사)
- 2000년 2월 : 전남대학교 컴퓨터공학과(공학석사)
- 2002년 2월 ~ 현재 : 국방과학연구소 책임연구원
- 주요 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리