

2층 대칭 나선형 인덕터에 대한 주파수 특성 연구

김재욱*

Study on Frequency Characteristics for Double-Layer Symmetric Spiral Inductor

Jae-Wook Kim*

요약 일반적인 나선형 인덕터의 경우에 비대칭 구조를 가짐에 따라 포트의 방향에 영향을 받게 된다. 본 논문에서는 2층이면서 대칭 구조를 가질 수 있는 나선형 인덕터를 제안하고 시뮬레이션 및 주파수 특성을 분석하였다. 기존 단층 대칭형 인덕터가 3.9~4.2nH의 인덕턴스를 갖는 것과 비교하여 제안된 2층 대칭 나선형 인덕터는 포트에 변함없이 0.3~1.2GHz 범위에서 11~12nH의 인덕턴스, 800MHz에서 약 4.4의 품질계수, 약 2.7~2.8GHz의 자기공진주파수를 가진다. 이는 기존 일반적인 나선형 인덕터가 포트에 따라 큰 차이를 갖는 것과 비교하여 포트의 방향에 대한 영향이 적은 것을 확인할 수 있었다.

Abstract In the case of a general spiral inductor, the orientation of the port is affected as it has an asymmetric structure. In this paper, double-layer spiral inductor that can have a symmetrical structure is proposed, and the simulation and frequency characteristics are analyzed. Compared to the conventional single-layer symmetrical inductor having an inductance of 3.9~4.2nH, the proposed double-layer symmetric spiral inductor has an inductance of 11~12nH in 0.3~1.2GHz frequency range, a quality factor of about 4.4 in 800MHz, and a self-resonant frequency of about 2.7~2.8GHz without changing the port. Compared to the general spiral inductor having a large difference depending on the port, it was confirmed that the influence on the port direction was small.

Key Words : Double-layer, Symmetric, Spiral, Inductor, Inductance

1. 서론

첨단 산업의 발전으로 전자 부품의 고성능화 및 경박단소화에 대한 산업적 요구가 더욱 증대되고 있다. 이에 따라 일반적으로 전력변환장치의 스위칭 주파수를 증가시켜 고 효율화 및 소형화, 경량화에 대응하고 있으나, 전자회로를 구성하는 다수의 부품인 인덕터, 커패시터, 레지스터 등의 수동 소자의 집적화를 통한 소형화, 고성능화가 궁극적으로 요구된다[1].

공정 기술이 개선됨에 따라 실리콘 공정은 RF 주파수 대역(0.3~3GHz)에서 고성능의 능동 소자를 제공하

고 있다. 하지만 대부분의 수동 소자의 경우 낮은 품질계수(얼마나 이상적으로 에너지를 저장하는 장치인가를 알려주는 지표)를 가지며 이러한 한계는 능동 소자의 기술적인 진보에도 불구하고, 저가격, 저전압, 저전력, 저잡음 RF 집적회로 구현에 있어 주요 장애 요인으로 작용하고 있다. 인덕터는 저잡음 증폭기, 주파수 변환기, 전압 제어 발진기, 전력 증폭기 등의 여러 RF 집적회로에 이용되는 수동 소자로서 최근의 실리콘 공정 기술이 RF 집적회로 시장을 주도하게 됨에 따라 높은 품질계수를 갖는 집적형 인덕터에 대한 요구가 증

Funding for this paper was provided by Namseoul University year 2021.

*Department of Electronics Engineering, Namseoul University (jwkim@nsu.ac.kr)

Received August 31, 2022

Revised September 21, 2022

Accepted September 26, 2022

가하였으며, 이에 실리콘 기반의 집적형 나선형 인덕터 설계기술에 대한 주요한 진보로 이어지고 있다[2~6].

실리콘 집적회로 공정을 이용한 설계에서 인덕터를 쉽게 사용하지 않는 이유는 대개 두 가지로 든다. 그 첫 번째로 낮은 품질계수를 꼽을 수 있다. 특수한 공정 단계를 거치지 않는 일반적인 실리콘 집적회로 공정으로 구현한 집적형 인덕터의 품질계수는 RF 주파수에서 10 이하이며, 대부분 5 이하의 값을 가진다. 이들 집적형 인덕터의 품질계수는 RF 회로에 있어 인덕터의 가장 보편적인 응용 분야인 단간 정합 혹은 출력 정합 시에는 적절한 수준이라 할 수 있지만, 현재의 실리콘 공정 기술이 제공하는 집적형 인덕터를 저잡음 증폭기의 입력 정합 혹은 전력 증폭기의 출력 정합용으로 사용하기에는 어렵다고 보아야 할 것이다. 두 번째로는 직접형 인덕터가 요구하는 칩의 면적이다. 집적형 나선형 인덕터는 다른 소자에 비하여 칩의 면적을 넓게 차지하는 단점을 가지며 이는 곧바로 집적회로 가격의 증가를 초래하게 된다. 따라서 집적형 나선형 인덕터가 실제 상업용 RF 집적회로 설계에 응용되기 위해서는 품질계수와 함께 면적 효율을 개선하려는 노력이 필요하다고 할 수 있다[2].

또한 일반적으로 대칭 구조의 수동소자를 이용할 수 있는 것은 매우 유용하며, 전압제어 발진기 등과 같은 일부 RF 집적회로 설계에 있어서는 대칭 구조의 인덕터가 필수적이다[7].

본 논문에서는 일반적인 단층 나선형 인덕터[8] 및 단층 대칭형 나선형 인덕터[9]와 비교하여 2층 구조를 통한 점유 면적을 개선하고 방향적 차이점을 극복할 수 있는 대칭 구조를 적용한 2층 대칭형 나선형 인덕터를 제시하여 비교 분석하였다. 2장에서는 단층 및 2층 대칭형 나선형 인덕터에 대한 구조와 시뮬레이션을 통한 분석을 하였다.

2. 인덕터의 시뮬레이션 및 분석

2.1 인덕터의 구조

그림 1(a)는 단층 대칭 나선형 인덕터의 구조로서 포트의 방향이 양방향 대칭인 경우를 나타낸다. 시뮬레이션을 위하여 HFSS (High Frequency

Structure Simulator)를 사용하고 2-포트 Driven Terminal 방식을 이용하였다. 그림에서와 같이 권선수는 1, 2차측 각각 3회이고 금속선의 폭과 두께는 각각 $10\mu\text{m}$ 과 $2\mu\text{m}$, 금속선 간의 간격은 $10\mu\text{m}$ 이다. 인덕터의 최외각 크기는 $270\times 270\mu\text{m}^2$ 이다. 1, 2차측 코일은 각 코일의 중심부에서 $0.8\mu\text{m}$ 두께의 via와 $2\mu\text{m}$ 두께의 underpass로 연결되어져 있다.

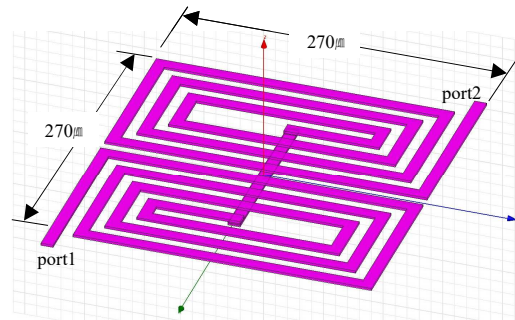


그림 1. 단층 대칭 인덕터의 구조

Fig. 1. The structure of single-layer symmetric inductor

그림 2는 본 논문에서 제안하는 2층 대칭형 나선형 인덕터의 구조를 나타낸다. 이는 일반적인 나선형 인덕터가 비대칭적인 구조로 이루어진 것과 비교하여 대칭적인 구조를 가지고 있으며, 제한된 점유 면적 내에서 코일의 권선수를 늘리기 위해 2층 형태로 구성하였다. 금속선의 폭과 두께, 금속선 간의 간격, 최외각 크기 등과 같은 파라미터를 동일하게 하였으며, 그림 2(a)는 전체적인 2층 대칭 나선형 인덕터의 구성도를 나타내고, 그림 2(b)와 2(c)는 2층 대칭 나선형 인덕터에 대한 상층과 하층 코일의 구조를 각각 나타낸다. 그림 2(b)의 상층 코일은 그림 1의 단층 나선형 인덕터와 동일한 사양의 구조를 가진다. 그림 2(c)의 하층 코일은 상층 코일의 전류 방향과 동일한 방향을 갖도록 설계되어졌으며, 1, 2차측 코일의 중심부에서 $0.8\mu\text{m}$ 두께의 via와 $2\mu\text{m}$ 두께의 코일로 구성되어져 있다.

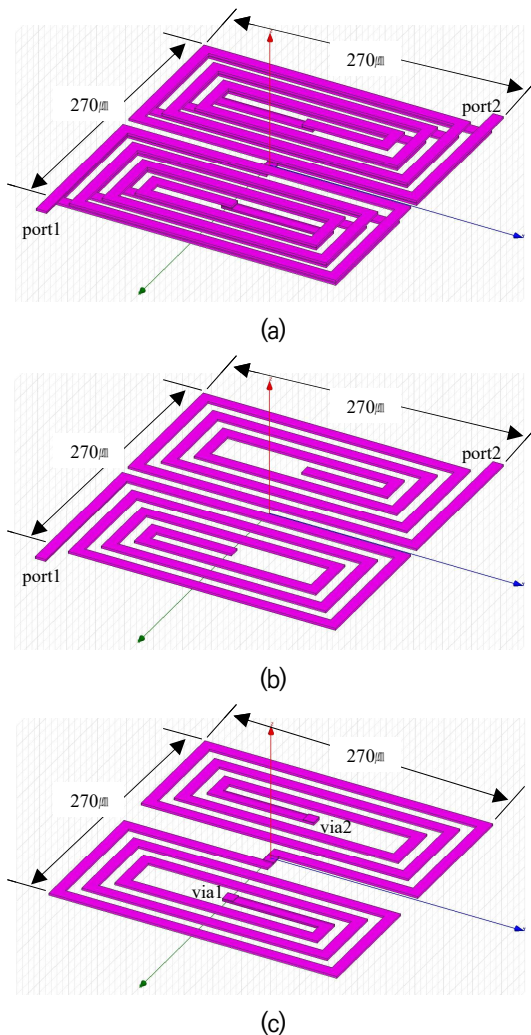


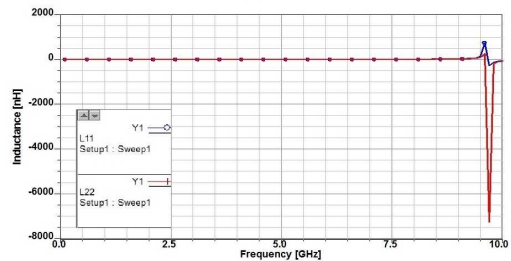
그림 2. (a) 제안된 2층 대칭 인덕터, (b) 2층 대칭 인덕터에 대한 상층 코일, 그리고 (c) 2층 대칭 인덕터에 대한 하층 코일의 구조

Fig. 2. The structure of (a) proposed double-layer symmetric inductor, (b) upper coil for double-layer symmetric inductor, and (c) lower coil for double-layer symmetric inductor

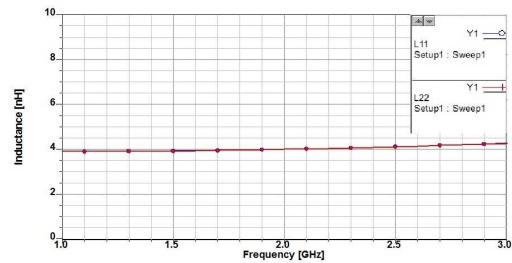
2.2 인덕터 시뮬레이션

그림 3은 그림 1의 단층 대칭 나선형 인덕터에 대한 주파수-인덕턴스 특성을 나타낸다. 그림의 범례에서 L11은 그림 1의 포트 1을 기준으로 한 인덕턴스를 나타내고, L22는 포트 2를 기준으로 한 인덕턴스를 나타낸다.

스를 나타내고, L22는 포트 2를 기준으로 한 인덕턴스를 나타낸다.



(a)



(b)

그림 3. 그림 1의 단층 대칭 인덕터에 대한 (a) 0.1~10GHz 범위, (b) 1~3GHz 범위에서 주파수-인덕턴스 특성

Fig. 3. The frequency-inductance characteristic for single-layer symmetric inductor of Fig.1 (a) in 0.1~10GHz, (b) in 1~3GHz

그림 3(a)는 0.1~10GHz에서의 전체적인 인덕턴스 특성 곡선으로 9.7GHz 정도에서 큰 변화를 보이며 양의 값에서 음의 값으로 변화하며 0의 값을 가지게 되는데, 이는 자기공진주파수(SRF)를 의미한다. 포트 1, 2를 각각 기준으로 했을 때의 인덕턴스 및 자기공진주파수가 거의 일치하는 것을 볼 수 있다. 그림 3(b)는 1~3GHz 범위로 확대한 인덕턴스 특성 곡선으로 3.9~4.2nH 정도의 인덕턴스를 나타내며, 포트 1, 2를 각각 기준으로 했을 때 거의 일치하는 것을 볼 수 있다. 이러한 결과는 대칭적인 구조를 가짐에 따라 어떠한 포트를 기준으로 하느냐에 상관 없이 일정할 수 있음을 의미한다[9].

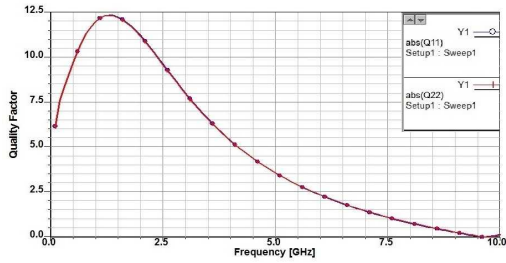
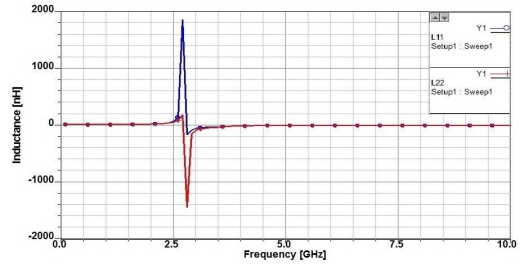


그림 4. 그림 1의 단층 대칭 인덕터에 대한 주파수-품질계수 특성

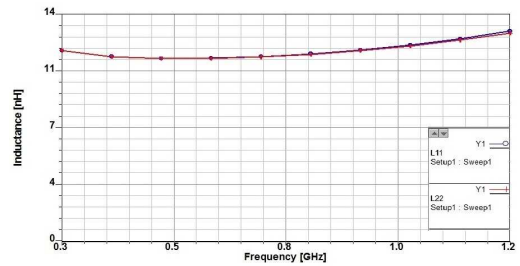
Fig. 4. The frequency-quality factor characteristic for single-layer symmetric inductor of Fig.1

그림 4는 그림 1의 단층 대칭 나선형 인덕터에 대한 주파수-품질계수 특성을 나타낸다. 그림의 범례에서 Q11은 그림 1의 포트 1을 기준으로 한 품질계수를 나타내고, Q22는 포트 2를 기준으로 한 품질계수를 나타낸다. 그림에서 Q11과 Q22의 곡선이 일치하며, 1.3GHz에서 12.3 정도의 최대 품질계수를 가진다. 또한 9.7GHz 정도에서 0의 품질계수를 가지는데, 이는 그림 2(a)에서 인덕턴스가 0의 값을 가지는 자기공진주파수와 일치한다. 또한 Q11과 Q22의 곡선이 일치하는 결과로부터, 이는 대칭적인 구조에 의해 어느 포트를 기준으로 하던 방향적인 특성의 영향을 받지 않는다는 것을 알 수 있다[9].

그림 5는 그림 2에 제시된 2층 대칭 나선형 인덕터에 대한 주파수-인덕턴스 특성을 나타낸다. 각 그림의 범례에서 L11은 그림 2의 포트 1을 기준으로 한 인덕턴스를 나타내고, L22는 포트 2를 기준으로 한 인덕턴스를 나타낸다. 그림 5(a)는 0.1~10GHz에서의 전체적인 인덕턴스 특성 곡선으로 2.7~2.8GHz 정도에서 자기공진주파수를 가진다. 포트 1, 2를 각각 기준으로 했을 때의 인덕턴스가 거의 일치하는 것을 볼 수 있다. 그림 5(b)는 0.3~1.2GHz 범위로 확대한 인덕턴스 특성 곡선으로 11~12nH 정도의 인덕턴스를 나타내며, 포트 1, 2를 각각 기준으로 했을 때 거의 일치하는 것을 볼 수 있다. 이러한 결과는 대칭적인 구조를 가지는 2층 구조에 따라 서로 다른 포트를 기준으로 하느냐에 상관없이 일정할 수 있음을 의미한다[9].



(a)



(b)

그림 5. 그림 2의 2층 대칭 인덕터에 대한 (a) 0.1~10 GHz 범위, (b) 0.3~1.2GHz 범위에서 주파수-인덕턴스 특성

Fig. 5. The frequency-inductance characteristic for double-layer symmetric inductor of Fig.2 (a) in 0.1~10GHz, (b) in 0.3~1.2GHz

표 1은 그림 3과 5의 주파수-인덕턴스 특성을 정리하여 나타내었다. 그림 1의 단층 대칭 인덕터는 1~3GHz의 주파수 범위 내에서 3.9~4.2nH 정도의 값을 유지하고 있다. 일반적인 비대칭적인 구조가 포트 1과 포트 2에 대해 주파수 범위 및 인덕턴스에서 차이가 나타낸다[8]. 반면에 대칭적인 구조를 가짐에 따라 표의 결과에서처럼 포트 1과 포트 2를 기준으로 했을 때 동일한 결과를 얻을 수 있었다. 그림 2의 2층 대칭 인덕터는 0.3~1.2GHz의 주파수 범위 내에서 11~12nH 정도의 값을 가지며, 이는 단층 인덕터와 비교하여 2.8배 정도의 큰 인덕턴스를 나타낸다. 상층과 하층의 구조를 가지며, 자기 인덕턴스는 2배 정도를 나타내겠지만 상층과 하층 코일의 전류 방향이 동일하도록 설계함에 따라 상호 인덕턴스가 증가하여 동일한 점유 면적 내에서 2.8배 증가하는 인덕턴스를 가질 수 있었다. 또한 2층 대칭 인덕터도 대칭적인 구조를 가짐에 따라 어느 포트를

기준으로 하던지 변화가 없음을 알 수 있다.

표 1. 그림 1과 2의 단층 및 2층 인덕터에 대한 인덕턴스와 주파수 범위

Table 1. The inductance and the frequency range for single and double layer inductors of Fig. 1 and 2

Type		Inductance (L)[nH]	Frequency Range [GHz]
Single-layer inductor of Fig. 1	port 1	3.9~4.2	1~3
	port 2	3.9~4.2	1~3
Double-layer inductor of Fig. 2	port 1	11~12	0.3~1.2
	port 2	11~12	0.3~1.2

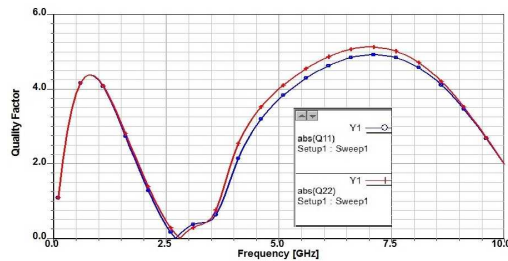


그림 6. 그림 2의 2층 대칭 인덕터에 대한 주파수-품질계수 특성

Fig. 6. The frequency-quality factor characteristic for double-layer symmetric inductor of Fig.2

그림 6은 그림 2에 제시된 2층 대칭 나선형 인덕터에 대한 주파수-품질계수 특성을 나타낸다. 그림의 범례에서 Q11은 그림 1의 포트 1을 기준으로 한 품질계수를 나타내고, Q22는 포트 2를 기준으로 한 품질계수를 나타낸다. 그림에서 Q11과 Q22는 모두 800MHz에서 4.4 정도의 최대 품질계수를 가지며, 2.7GHz 정도에서 0의 품질계수를 가지는 자기공진 주파수까지는 거의 일치한다. 자기공진주파수 이상의 주파수 범위에서 Q11과 Q22의 곡선이 다소 차이가 있으나, 이는 비대칭적인 구조의 인덕터와 비교하여 차이가 적으며 인덕터의 사용 주파수 범위를 벗어난 것으로 의미가 없다고 할 수 있다.

표 2는 그림 4와 6의 주파수-품질계수 특성을 정

리하였다. 표의 최대 품질계수는 그림 4와 6으로부터 자기공진주파수 이전의 최댓값을 나타낸다. 자기공진주파수는 그림 4와 6의 품질계수가 0이 되는 지점을 나타내고, 또한 그림 3과 5의 인덕턴스가 양의 값으로부터 음의 값으로 전이되는 지점을 나타낸다. 일반적인 비대칭 구조에 대해서는 포트 1과 포트 2의 기준에 따라 주파수 특성이 큰 차이를 가지는 반면에, 본 논문에서 제안한 대칭 구조에 대해서는 포트 1과 포트 2의 기준에 따라 주파수 특성이 유사함을 알 수 있다.

표 2. 그림 1과 2의 단층 및 2층 인덕터에 대한 품질계수(Q-factor max)와 자기공진주파수

Table 2. The quality factor(Q-factor max) and the self-resonant frequency for single and double layer inductors of Fig. 1 and 2

Type		Q-Factor (max)	SRF [GHz]
Single-layer inductor of Fig. 1	port 1	12.3 @1.3GHz	9.7
	port 2	12.3 @1.3GHz	9.7
Double-layer inductor of Fig. 2	port 1	4.4 @800MHz	2.7
	port 2	4.4 @800MHz	2.8

3. 결론

본 논문에서는 2층 구조의 대칭 나선형 인덕터를 제안하였고, 기존에 연구된 단층 대칭 나선형 인덕터 [9]와 주파수 특성을 비교 분석하였다. 제안된 2층 대칭 나선형 인덕터는 단층 대칭 인덕터와 비교하여 포트의 방향에 상관없이 0.3~1.2GHz의 주파수 범위에서 11~12nH의 인덕턴스로 2.8배 정도 증가하였다. 최대 품질계수는 800MHz에서 4.4 정도를 갖고 자기공진주파수는 2.7~2.8GHz를 나타내었다. 이는 기존 연구되었던 단층 대칭 나선형 인덕터와 비교하여 제한된 점유 면적 내에서 충수를 증가하여 인덕턴스의 향상을 가져올 수 있음을 보여준다.

다만, 인덕턴스 증가보다 코일의 저항이 더 증가하여 품질계수 또한 낮아짐을 확인할 수 있었다. 이

에 향후에는 설계 파라미터들의 최적화를 통해 품질 계수 및 자기공진주파수를 향상시킬 수 있을 것으로 기대된다.

REFERENCES

[1] Jiyong Hwang, Kwangsu Choi, Jinyoung Kim, Hyoyun Jung, "A flowability study of Fe based alloy-mixture with high packing density for chip inductor", in *Proc. of the International Conference of Manufacturing Technology Engineers (ICMTE) 2021*, pp. 198, Dec. 2021.

[2] Gukju Ihm, Sobong Shin, Sanggug Lee, "Design, analysis, and comparison of symmetric dual-level spiral inductors for RF integrated circuits", *The Institute of Electronics Engineers of Korea-Semiconductor and Devices*, vol. 37, no. 10, pp. 17-24, Oct. 2000.

[3] K. Danesh, J. R. Rong, R. A. Hadaway, D. L. Harame, "A Q-factor enhancement technique for MMIC inductors", *IEEE RFIC Symposium*, pp. 217-220, 1998.

[4] R. Long, M. A. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF IC's", *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 357-369, March 1997.

[5] N. Burghartz, K. Soyuer, K. A. Jenkins, "Integrated RF and microwave components in BiCMOS technology", *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1559-1570, Sep. 1996.

[6] K. B. Ashby, I. A. Koullias, W. C. Finley, J. J. Bastek, S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process", *IEEE J. Solid-State Circuits*, vol. 31, no. 1, pp. 4-9, 1996.

[7] J. Crannickx, M. Steyaert, H. Miyakawa, "A fully integrated spiral-LC CMOS VOC set with prescaler for GSM and DCS-1800 systems", *IEEE 1997 CICC*, pp. 403-406, 1997.

[8] Jaewook Kim, Heecheol Kim, "Study on

frequency characteristics of hexagonal spiral thin-film inductor", *The Journal of Korea Institute of Information, Electronics, and Communication Technology*, vol. 10, no. 5, pp. 402-408, Oct. 2017.

[9] Jaewook Kim, "Study on frequency characteristics for single-layer symmetric spiral inductor", *The Journal of Korea Institute of Information, Electronics, and Communication Technology*, vol. 13, no. 5, pp. 353-358, Oct. 2020.

저자약력

김재욱 (Jae-Wook Kim)

[정회원]



- 1993년 2월 : 호서대학교 전자공학과 (공학사)
- 1998년 8월 : 호서대학교 대학원 전자공학과 (공학석사)
- 2003년 2월 : 호서대학교 대학원 전자공학과 (공학박사)
- 2006년 3월 ~ 현재 : 남서울대학교 전자공학과 부교수

〈관심분야〉 자동제어, 퍼지제어, chip inductor 개발, 자성박막 및 소자 개발