

3D 칩 적층을 위한 하이브리드 본딩의 최근 기술 동향

정철화*·정재필**†

*서울시립대학교 지능형반도체학과, **†서울시립대학교 신소재공학과

Recent Progress of Hybrid Bonding and Packaging Technology for 3D Chip Integration

Chul Hwa Jung* and Jae Pil Jung**†

*Dept. of Intelligence Semiconductor Engineering, University of Seoul,

**†Dept. of Materials Science and Engineering, University of Seoul

ABSTRACT

Three dimensional (3D) packaging is a next-generation packaging technology that vertically stacks chips such as memory devices. The necessity of 3D packaging is driven by the increasing demand for smaller, high-performance electronic devices (HPC, AI, HBM). Also, it facilitates innovative applications across another fields. With growing demand for high-performance devices, companies of semiconductor fields are trying advanced packaging techniques, including 2.5D and 3D packaging, MR-MUF, and hybrid bonding. These techniques are essential for achieving higher chip integration, but challenges in mass production and fine-pitch bump connectivity persist. Advanced bonding technologies are important for advancing the semiconductor industry. In this review, it was described 3D packaging technologies for chip integration including mass reflow, thermal compression bonding, laser assisted bonding, hybrid bonding.

Key Words : 3D packaging, Hybrid bonding, Micro bumps, Chip integration

1. 서론

3D 패키징은 수평적으로 칩을 연결하던 방식에서 진화하여 칩을 수직하게 적층하여 연결하는 기술로, 반도체의 집적도를 향상시키는 기술이다. Lau¹⁾에 따르면 초기 패키징 방식은 DCA (Direct Chip Attach), COB (Chip On Board)와 같이 PCB에 칩을 바로 부착하는 것이었다. 이후 모든 칩과 부품을 기판에 수평 실장하는 FOWLP (Fan-Out Wafer Level package), FOPLP (Fan-Out Panel Level package)이 등장하였다. SiP (System-in-Package), MCP (Multi-Chip Package) 등의 개념이 등장하면서 현재 반도체 산업은 반도체를 구성하는 웨이퍼, 칩, 메모리 등 다양한 구성 요소들을 한정된 공간에

많은 부품들과 집적회로들을 실장하는 것에 물리적 제약을 경험하고 있다.

전(前)공정에서는 ASML의 EUV (Extreme Ultra-Violet photolithography)기술과 같이 극자외선 (파장 : 10~120 nm) 을 통해 웨이퍼에 미세한 패턴과 회로를 새기는 공정 기술이 출현하였다. 그러나 AI, 5G, HPC 등 더 높은 데이터 처리량과 성능의 제품을 원하는 수요가 높아지고 있다. 그 결과, 삼성, SK 하이닉스, TSMC 등 많은 글로벌 반도체 기업들은 기기 성능, 소형화 및 데이터 처리속도 증가를 위해 경쟁적으로 첨단 패키징 (Advanced Packaging) 슬로건을 내세워 패키징 분야에서 지속적인 발전을 추구하고 있다. 그 결과로 패키징 기술 분야에서 2.5D 및 3D 패키징과 같은 반도체 이종 집적 (Heterogenous Integration)을 위해서 MR-MUF(Mass Reflow-Molded UnderFill), 하이브리드 본딩 등

†E-mail: jujung@uos.ac.kr

패키징 후(後)공정에서 혁신적인 접근 방법의 필요성이 제시되었다.

전(前)공정에서는 ASML의 EUV (Extreme Ultra-Violet photolithography) 기술과 같이 극자외선 (파장 : 10~120nm) 을 통해 웨이퍼에 미세한 패턴과 회로를 새기는 공정 기술이 출현하였다. 그러나 AI, 5G, HPC 등 더 높은 데이터 처리량과 성능의 제품을 원하는 수요가 높아지고 있다. 그 결과, 삼성, SK 하이닉스, TSMC 등 많은 글로벌 반도체 기업들은 기기 성능, 소형화 및 데이터 처리속도 증가를 위해 경쟁적으로 첨단 패키징 (Advanced Packaging) 슬로건을 내세워 패키징 분야에서 지속적인 발전을 추구하고 있다. 그 결과로 패키징 기술 분야에서 2.5D 및 3D 패키징과 같은 반도체 이종 집적 (Heterogeneous Integration)을 위해서 MR-MUF (Mass Reflow-Molded Underfill), 하이브리드 본딩 등 패키징 후(後)공정에서 혁신적인 접근 방법의 필요성이 제시되었다. Fig. 1은 I/O 밀도와 패키징 크기에 따른 첨단 패키징 기술을 분류한 로드맵이며, 이는 패키징 분야의 성장성과 추후 방향성을 제시하였다.²⁾ 이에 본 고에서는 소자의 더 높은 칩 적층을 위한 여러 접합 공정과 하이브리드 본딩 관련 연구에 대해 조사하였다.

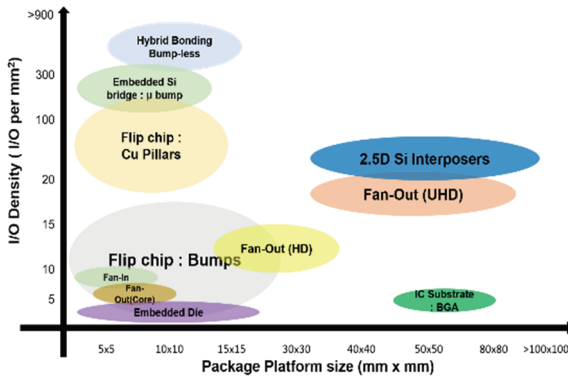


Fig. 1. Advanced packaging technology road map.²⁾

2. 범프 접합 공정 (Bump Bonding process)

범프 (bump)란 반도체 칩이나 통합 회로 (IC)의 표면에 있는 작고 돌출된 전도성 돌기로써, 주로 칩을 기판에 플립칩 접합 (flip-chip bonding)으로 직접 연결하는데 사용된다. 대부분 솔더 (solder)로 만들어지며, 반도체 칩을 뒤집어 솔더를 기판의 전도성 패드에 정렬시킨다. 정렬된 솔더는 리플로우 (reflow)를 통해 칩과 칩을 접합시켜 전기적 및 기계적 연결을 용이하게 한다.

Tsai 등³⁾에 따르면 현재 반도체 패키징 산업은 40~130μm

이하 피치의 범프를 사용하고 있다. 이외에도 40μm 이하 급 구리 돌기 범프 (Cu pillar bump)를 사용하여 고밀도 인터커넥션을 만들려는 시도가 있다.⁴⁾ 이처럼 범프의 크기가 수십 마이크로 수준으로 작아졌고, 앞으로 더 작아질 범프의 사이즈에 맞춰 새로운 범프 접합 공정 개발이 요구되고 있다.

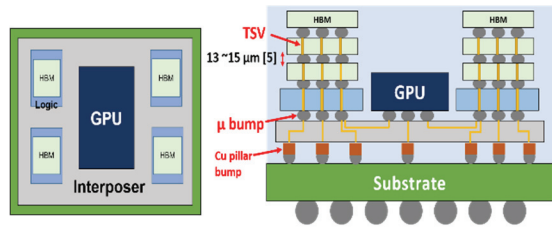


Fig. 2. Schematic of 2.5D packaging using Cu pillar bumps and micro bumps.

Fig. 2와 같이, 최근 패키징 관련 기업에서 양산에 성공한 ‘HBM3E’는 TSV (Through-Si via)와 구리 돌기 범프를 가진 12개의 DRAM을 13~15μm 간격으로 적층 및 접합하였으며, 새로운 접합 방식인 대량 리플로우-몰디드 언더필 (Mass Reflow-Molded Underfill, MR-MUF) 방식을 적용한 대표적인 사례이다.⁵⁾ 기존의 대량 리플로우 방식과 열압착접합 (thermal compression bonding) 방식은 1024개 및 그 이상의 미세하고, 조밀한 범프를 연결하는데 어려움이 있었으며, 긴 공정 시간, 낮은 생산성 등 여러 문제점을 가지고 있다. 그에 반해 MR-MUF는 수 많은 미세 범프에 균일하게 열을 전달 후, 이를 접합하여 범프-범프 간 접합신뢰성 향상 및 다수의 칩 적층이 가능함을 보여주었다. 또한, 대량 리플로우 방식을 접목하여 생산성도 증대시킬 수 있는 방식이라는 점에서 반도체 장비 생산 산업계에서 많은 관심을 받고 있다. 더욱이, 이 기술은 칩렛 (chiplet), 플립칩 패키징과 같은 미세화 및 높은 밀도로 메모리의 적층이 가능하며, 기존의 파운드리 (foundry) 생산 라인에 쉽게 적용 및 통합될 수 있다고 보고되었다.⁷⁾

장래에 3D 패키징과 같은 첨단 패키징 방식의 반도체가 생산되기 위해서는 하이브리드 본딩에 적합한 공정을 만들어야 하는 과제가 중요하다. 일례로, 레이저를 활용하여 더 정밀한 범프 리플로우가 가능한 레이저 어시스트 접합 분야도 활발히 연구가 진행중이다.

2.1 대량 리플로우 공정 (Mass reflow process)

WLP (Wafer Level Package)는 기존에 웨이퍼를 개별로 다 이싱 (dicing)하던 과정을 간소화하여 웨이퍼 내에 직접 집적 회로를 형성시킨 패키징 기술이다. Drechsel 등⁸⁾에 따르

면 WLCSP (Wafer level Chip Scale Package)와 같이 감소된 패키징 크기에 따라 I/O 수도 제한되며, 이를 해결하기 위해 입출력 패드를 패키지 외부에 위치시켜 패키징하는 FOWLP (Fan-Out Wafer Level Package) 기술이 등장하였다.

웨이퍼 레벨 패키징에서 솔더 범프를 패드 위에 배치, 접합성 향상, 솔더의 확산 방지를 위해 UBM (Under Bump Metallization)을 사용한다.¹⁰⁾ UBM 위에 솔더를 배치하고, 오븐에 투입하여 칩과 기판 사이의 다수의 범프를 접합할 수 있어 대량 리플로우라고 말한다. 그러나 리플로우 진행시 솔더 범프의 높이가 낮아져 안정적인 언더필 충전이 어려워진다는 단점이 있다.¹¹⁾

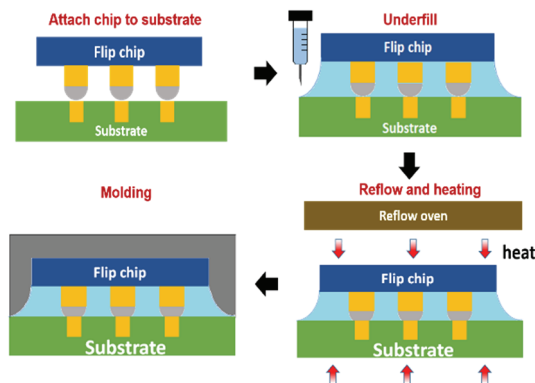


Fig. 3. Schematic of conventional mass reflow process.

Zainudin 등¹²⁾은 대량 리플로우를 통하여 Cu pillar-SAC305 솔더 범프 접합에 필요한 최적의 조건들을 실험하였다. Fig. 3는 Cu pillar 솔더 범프를 사용한 대량 리플로우 공정을 나타낸 그림이다. 이 실험에서 대량 리플로우 공정은 RSS (Ramp-Soak-Spike) 순서로 진행되었으며, RSS는 램프 (ramp), 흡수 (soak), TAL (Time Above Liquidous) 및 냉각의 4개의 영역으로 구성되었다. 램프 단계는 1~4°C/s 속도로 다이와 기판으로 구성된 어셈블리 전체의 온도를 높여주며, 흡수 단계는 솔더 표면의 산화물을 제거하거나 보이드 (void)를 최소화하는 단계이다. 최적의 솔더 접합부를 형성하는 TAL 단계에서 일정 시간 동안 최고 온도에 도달한다. 일반적으로 최고 온도는 솔더의 용융 온도보다 보통은 30~50°C 높아야 하며¹³⁾, 금속간화합물 (IMC) 성장 및 두께에 영향을 준다. Cu pillar-SAC305-Cu pad의 접합부에서 부채꼴 (scallop-type) Cu6Sn5 금속간화합물이 형성되었다. 대조적으로 짧은 TAL 단계를 거쳤을 경우, 냉각 단계에서 가스가 솔더를 빠져나갈 충분한 시간이 없기때문에 보이드 (void)가 형성되며, 이는 접합부의 인장강도, 전단강도 등 기계적 특성 감소에 영향을 준다고 설명하였다.

Yeo 등¹⁴⁾은 리플로우 공정 동안에 생성되는 보이드의 크기 감소를 위해 진공 리플로우 공정을 제시하였다. Yeo 등은 10 torr 진공 단계에서 ultra-low (300~310°C), low (315~325°C), medium (330~340°C), high (345~355°C)로 리플로우 온도를 설정하여 솔더를 접합하였다. 그 결과, 진공 리플로우 처리된 모든 샘플에서 일반 리플로우 보이드 크기 기준인 5%의 절반인 2.5% 미만 (평균 1.17~1.18%)으로 약 2배 감소함을 보여주었다. 그러나 단순히 리플로우 온도를 증가시키기에는 용융된 솔더의 표면 장력이 감소할 수 있다는 문제점이 존재한다.¹⁵⁾

Keith 등¹⁶⁾은 리플로우동안 솔더의 표면 장력이 감소하는 문제에 대해 보이드 제어 메커니즘을 제안하였다. 보이드는 금속과 플럭스와 반응에서 생긴 가스가 솔더가 굳기 전에 빠져나가지 못하고 솔더 안에 갇혀 생성된다. Keith 등은 보이드 내 가스 분자의 운동에너지 증가에 따라 보이드의 크기도 확장될 수 있다고 보았으며, 이는 리플로우될 때 젖지 않는 (de-wetting) 문제가 발생할 수 있다고 설명하였다.

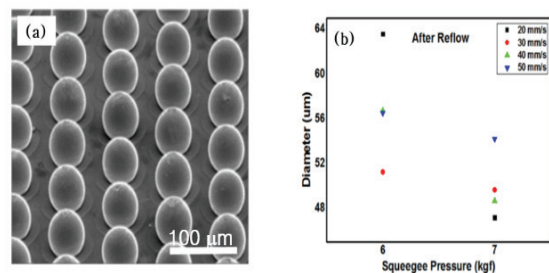


Fig. 4. After reflowing, about 50μm bump printing by type 7 solder paste.¹⁷⁾

저자 등¹⁷⁾은 웨이퍼 수준에서 솔더 페이스트로 50μm 크기의 범프를 만들기 위한 연구를 진행하였다. Fig. 4의 (a)는 저자 등이 type 7 solder paste를 사용해 범프를 리플로우하여 제조한 직경 약 50μm급 범프 예를 보인 것이다. 솔더 페이스트를 도포하는 속도와 압력에 따라 리플로우 후에 형성되는 솔더의 크기와 상관관계를 파악하였다. 리플로우 공정에서 솔더 페이스트의 물리적 특성 향상은 100μm 이하의 미세 피치를 지향하는 패키징 흐름에 부합하여, 반도체 소자의 신뢰성을 높이는 데 기여한다. Fig. 7의 (b)는 페이스트 프린팅시 스퀴지가 가하는 힘과 인쇄속도에 따른 범프 크기 변화를 보인 것이다. Fig. 7(b)에서 스퀴지 힘이 큰 7kgf에서 보다 작은 범프가 형성됨을 알 수 있다.

반도체가 고집적화되고, 미세화되면서 피치가 보다 협소해졌고, 여기에 50μm 미만의 피치의 TSV (Through Si Via)

나 Cu Pillar bump를 접합하기엔 기존의 리플로우 방식은 한계를 맞이하였다.¹⁸⁾ 거기에 대량 리플로우의 단점인 휨 현상 (warping)은 마이크로 범프에 적합하지 않을 수 있기 때문에 열압착접합으로 대체하기도 한다.¹⁹⁾

2.2 열압착접합 (Thermal compression bonding)

열압착접합은 범프 피치의 감소 추세와 얇아진 다이로 인한 휨 현상 등의 문제를 가진 리플로우 공정의 대안 기술이다. 보통 비(非)도전성 페이스트 (Non-Conduction Paste, NCP)나 필름 (non-conductive Film, NCF)이 사용된다.²⁰⁾ NCP와 NCF는 칩과 다이 간의 접합시 접합보조제 역할을 하며, 기판과 다이 간의 열팽창계수 (coefficient of thermal expansion) 차이로 인한 칩 휨 현상을 방지한다.²¹⁾ 그러나 NCP는 페이스트 형태로 접합부에 도포되는 형태로 페이스트 두께 조절이 어렵다는 단점이 있다. 이에 반해 NCF는 기존의 페이스트 형태를 대체한 얇은 필름을 사용하여 두께 조절이 용이하고, 접합 불량률을 낮추는 장점이 있다. 현재 국내 글로벌 기업에서는 에폭시와 아크릴 소재의 NCF를 사용하여 열압착접합을 진행하고 있으며, 특성을 더 개선한 새로운 NCF를 HBMB에 적용중이다.²²⁾ 그러나 열압착 접합의 가장 큰 단점인 낮은 생산속도 및 생산성과 높은 적층 수에 따른 칩 휨 현상을 해결해야 하는 과제가 남아 있다.

Nonaka 등²³⁾은 생산성 향상을 위한 TC-NCF 접합에 관해 연구하였다. 30 μ m Cu pillar와 15 μ m Sn-Ag 범프를 사용하였으며 진공 상태에서 40 μ m 두께의 NCF를 위에 도포하였다. 1차 150°C에서 0.5s로, 2차 240°C에서 20초간 15개의 다이를 동시에 열압착접합을 진행한 결과, 2700 UHP의 높은 생산성을 보여주었으며, NCF에 의한 접합 간에 다이가 정렬되는 점도 발견하였다.

Shin 등²⁴⁾은 열압착 접합 시에 무수물 (anhydride) NCF를 사용하여 최적의 접합부를 형성하는 조건에 대해 조사하였다. Shin 등은 80 μ m 피치를 가진 직경 75 μ m Cu pillar 위에 20 μ m Sn-Ag 범프를 사용하였다. 열압착접합 시 가열 속도에 따른 접합 형태를 관찰한 결과, 가열 속도가 증가함 (5°C/min, 10°C/min, 20°C/min)에 따라 접촉 저항과 접합부 사이의 간격이 감소하였으며, 솔더의 젖음성도 상승함을 보여주었다.

2.3 레이저 어시스트 접합 (Laser Assisted Bonding)

레이저 어시스트 접합 (Laser Assisted Bonding, LAB)은 하이브리드 본딩과 같이 더 작고, 밀도 높은 미세 피치 접합의 필요성이 대두되는 시점에서 많은 이들이 주목하는 차세대 접합 기술이다. 현재 반도체 패키징 공정에서 사용되는 접합 방식은 리플로우와 열압착접합 방식이 주로

사용되고 있으나, 이 두 방식은 기판과 칩에 가해지는 열응력 (thermal stress)의 누적, 열팽창계수의 차이로 인해 브릿지 현상 (bridge), 균열 등이 발생하는 문제를 나타내고 있다.²⁵⁾

열압착접합 방식은 칩과 기판에 각각 다른 온도를 가하기 때문에 열팽창계수가 달라도 접합이 가능하지만 공정이 복잡해지고, 시간이 오래 소요되는 점도 레이저 어시스트 접합 기술의 발전을 촉구 시키고 있다.²⁶⁾

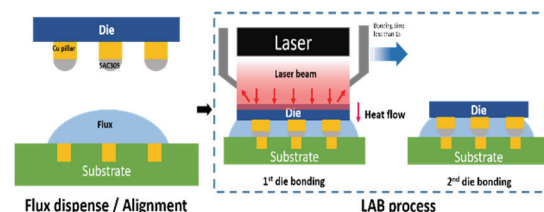


Fig. 5. Schematic of laser assisted bonding process.

Fig. 5는 레이저 어시스트 접합 과정을 나타낸 것이다. 레이저 어시스트 접합은 초점이 맞춰진 레이저 빔이 특정 영역에 에너지를 짧은 시간에 조사하여 주변 소자나 재료에 대한 열손상을 최소화하기 때문에 처리량 및 생산성에 영향을 줄 수 있다.

Braganca 등²⁰⁾은 열팽창계수 차이로 인해 소자 휨이나 크랙 발생 현상을 해결하기 위해 레이저 어시스트 접합의 공정 과정 및 가열 메커니즘을 제시하였다. 본 실험에서는 90 μ m 피치의 Sn-Ag 솔더 범프와 스테인리스 스틸, 구리로 구성된 3개의 EMI (Electro-Magnetic Interference) 차폐층을 가진 구조를 사용하였다. 분광계를 통해 200~2000nm 파장 범위에서 반사율 (reflectance), 투과율 (transmittance), 흡광도 (absorbance)를 변화시키며 접합의 상태를 평가하였다. 적외선 레이저 (파장 : 980nm, 출력 변화 : 10W, 20W, 30W)를 사용하여 접합했을 때, 샘플 전체의 온도 변화는 80.0°C~82.06°C를 기록하였으며, 모든 솔더가 젖음 (wetting)을 확인할 수 있었다.

Hsu 등²⁸⁾은 레이저 어시스트 접합과 대량 리플로우 방식과의 비교를 진행하였다. 이 실험에서는 60 μ m 피치의 Cu pillar Sn-Ag 범프 (높이 : 55 μ m)가 결합된 다이와 7mm node ETS 기판 (Embedded Trace Substrate)을 사용하였다. 우선, Thunder test (temperature cycling 범위 : -40~60°C, 최고 온도 : 260°C)를 통하여 접합에서 박리 (delamination)가 발생하는지 확인하였다. 테스트 결과, 레이저 어시스트 접합과 대량 리플로우 방식 모두 ELK (Extremely Low K) delamination과 백색 범프 현상 (white bump phenomenon)이 발생하지 않음을 확인하였다. 그러나 장기 신뢰성 테스트에서는 레이저

어시스트 접합과 다르게 대량 리플로우 방식은 ELK 손상이 발견되었다. 이를 통해 미세한 피치의 60 μm 이하 범프 접합에는 레이저 어시스트 접합이 그 대안이 될 수 있음을 보여주었다.

Kolbasow 등²⁹⁾은 레이저 어시스트 접합과 열압착접합 방식의 접합부 비교를 보고하였다. 레이저 출력 부(Keyence LK-G3000)는 기판 (daughter substrate) 사이즈에 맞게 결합하여 진공상태를 유지하였다. 최대 1773 K/s로 기판을 가열하여 SAC305 솔더를 모재 기판 (mother substrate)에 접합하였으며, 200회의 열사이클 진행 후 열압착접합의 금속간화합물의 두께를 비교하였다. 열압착접합 방식으로 생성된 금속간화합물의 두께는 약 2.2 μm 이었으며, 레이저 어시스트 접합 시 보다 금속간화합물의 성장이 더 진행되었다. 레이저 어시스트 접합을 통한 금속간화합물의 낮은 성장은 내부 응력 감소 및 칩 수직 적층 시에 이점을 가진다고 설명하였다.

Choi 등³⁰⁾은 기존의 레이저 접합 방식에 압력을 가하는 LABC (Laser Assisted Bonding with Compression) 메커니즘을 제시하였으며, 이를 열압착접합 방식의 결과와 비교하였다. 최소 피치 30 μm Cu pillar 범프와 NCF를 사용한 접합부에 레이저 출력을 80W부터 180W까지 조절하면서 그에 따른 접합 결과를 비교하였다 (조사 시간: 5s, 유지 온도: 90°C, 압력: 70N). 그 결과, LABC가 열압착 접합에 비해 개선된 접합부 상태를 보였으며, 이를 통해 LABC 방식이 더 높은 본딩 강도, 보이드 형성 감소, 공정 시간 감소와 같은 이점을 가질 수 있다고 제시하였다. 추가적으로 LABC 방식에 적합한 NCF 필름 소재 개발과 레이저의 정밀한 제어 가 가능하다면 민감한 칩과 기판에 대한 열 손상을 더 최소화할 수 있음을 주장하였다.

3.3D 패키징을 위한 접합 기술

3D 패키징은 반도체 분야에서 다수의 통합 회로 또는 메모리와 같은 소자를 수직으로 적층하는 기술이다. 2D 패키징과 3D 패키징을 융합한 2.5D 패키징이 인터포저 (interposer)를 사용하여 여러 소자 간에 고밀도 인터커넥션을 달성하였다면, 3D 패키징은 인터포저를 사용하지 않고, 로직과 메모리를 TSV를 통하여 직접 수직 적층한다. 이는 전력 소비 감소, 공간 효율성 증대에 따른 전체적인 성능 증가로 귀결된다.

3D 패키징은 반도체 분야에서 다수의 통합 회로 또는 메모리와 같은 소자를 수직으로 적층하는 기술이다. 2D 패키징과 3D 패키징을 융합한 2.5D 패키징이 인터포저 (interposer)를 사용하여 여러 소자 간에 고밀도 인터커넥션을 달성하였다면, 3D 패키징은 인터포저를 사용하지 않고,

로직과 메모리를 TSV를 통하여 직접 수직 적층한다. 이는 전력 소비 감소, 공간 효율성 증대에 따른 전체적인 성능 증가로 귀결된다.

3.1 하이브리드 본딩



Fig. 6. Key factors to consider in hybrid bonding.³²⁾

하이브리드 본딩은 글로벌 반도체 기업들이 관심 갖는 차세대 접합 기술이다. 하이브리드 본딩이란 웨이퍼 상에서 무기물인 구리와 유기물인 이산화규소 (SiO_2)를 접합하는 기술이다. 하이브리드 본딩의 주요 메커니즘은 표면 활성화, 표면 접촉, 압력 및 온도 조절, 확산 및 인터페이스 반응, Cu-Si 결합이다. 이렇게 형성된 결합은 우수한 열전도성과 전기적, 기계적 강도, 다수의 I/O를 생성할 수 있다. 이는 같은 데이터 양을 전보다 더 빠르 처리할 수 있게 된다는 것을 의미한다. 그러나 하이브리드 본딩의 신뢰성을 향상시키기 위해서 고려해야할 여러 요소들이 있다. Fig 6은 Lee 등³⁰⁾이 제시한 하이브리드 본딩에서 고려해야할 여러 측면을 나타낸 그림이다. Lee 등이 제시한 Fig 6을 보면 하이브리드 본딩 공정 시에 고려해야할 점 들로는 깨끗한 Cu 표면을 형성하기 위한 디싱 (dishing)이나 Cu의 자연 산화 현상 및 접합부 간의 정밀한 정렬 문제 등이 있다는 것을 확인할 수 있다.

Yu 등³³⁾은 위의 문제들 중 구리의 표면 산화, 전자 이동성 부분을 개선하기 위해 <111> 방향성을 가진 Cu의 확산 메커니즘을 이용하였다. Yu 등이 주장하는 바에 따르면 <111> 방향성을 가진 Cu는 낮은 계면에너지와 가장 높은 표면 확산 속도를 가진다. 이 실험에서는 <111> 방향으로 배향된 6 μm mt-Cu와 플라즈마 강화 화학기상증착법 (PECVD)에 의해 2 μm SiO_2 를 웨이퍼 위에 증착하였다. Ar

플라즈마를 사용하여 Cu와 SiO₂ 결합 표면을 활성화하고 유기 오염물질과, 표면 산화물을 제거하였다. 고출력 Ar 플라즈마를 사용하여 SiO₂ 표면의 거칠기(roughness) 감소와 표면의 -OH를 증가(Si-OH 수, 13.6% 에서 28.3%으로 증가)시켜 접합시 높은 친수성과 낮은 접촉각을 형성하였다. 이렇게 얻어진 결합은 하이브리드 본딩에서 요구하는 최소 결합 강도 35MPa를 충족하였다.

Kagawa 등³⁹⁾은 약 1μm 초미세피치 수준의 하이브리드 본딩을 달성하기 위한 Wafer Thinning 공정을 제안하였다. 기존 BEOL (Back End Of Line) CMP 공정을 사용할 경우, 웨이퍼 본딩 공정 직후에 Cu 패드 표면이 함몰되는 경향으로 상하부 웨이퍼를 접합 하였을 시에 틈이 발생한다. Kagawa 등이 제안한 Wafer Thinning 공정에 따르면 기존의 CMP 공정보다 Si 웨이퍼의 두께의 균일함이 약 66% 증가하였다. 이는 접합 간에 웨이퍼 위에 증착된 Cu 패드나 SiO₂ 층의 박리를 방지하며, 보이드 형성을 감소시킨다고 설명하였다.

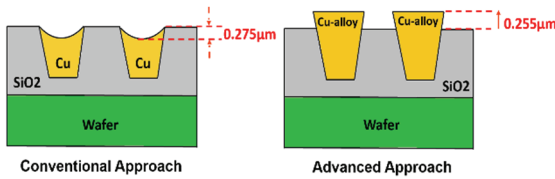


Fig. 7. Schematic diagrams of Cu connection pad structures.

저자 등³⁵⁾은 Cu to Cu 접합을 위해 물리적인 Cu 연마 후 깎여 나간 깊이와 열처리에 따른 Cu의 높이 변화를 조사하였다. P형 Si 웨이퍼 기판에 DRIE (Deep Reactive Ion Etching) 방법으로 입구 직경 44μm, 바닥 직경 34μm, 깊이 60μm인 tapered TSV를 형성하였고, 그 위에 HDPCVD (High Density Plasma CVD)로 1μm SiO₂를 증착하였다. 1μm 다이아몬드 현탁액 (suspension)을 사용해 Cu를 물리적 연마하였을 시, 표면 형태는 오목 (concave)하며, 그 깊이는 0.275μm인 것으로 관찰되었다. Fig. 7는 일반적으로 Cu 연마 시 형성되는 패드의 모습이다. 이를 723K에서 어닐링했을 때, Cu-alloy는 Cu 압출 (extrusion)보다 72% 적은 높이인 0.255μm인 것으로 관찰되었다.

Seo 등³⁶⁾은 두 번의 플라즈마 처리를 통해 Cu와 SiO₂ 반응 표면을 최적화하는 실험을 진행하였다. 앞서 Seo 등은 200mm 실리콘 웨이퍼에 50nm Ti/100nm Cu를 증착하였고, 그 위에 1μm Cu층을 전기도금하였다. Cu 표면에 각각 150 SCCM Ar 플라즈마, N₂ 플라즈마를 각각 30초/300초씩 가하였다. 그 결과, N₂ 플라즈마 처리는 Cu 표면에 Cu₄N passivation층을 형성하였다. Cu₄N층이 생성되었을 때, Cu 표

면의 산화를 방지하고, 전하 이동을 증가시켜 전기적 특성이 향상됨을 보여주었다. 그러나 Cu₄N의 형성은 일부 원자의 결함 (defect)를 유발할 수 있다고 설명하였으며, 이에 대한 추가적인 연구가 필요함을 주장하였다.

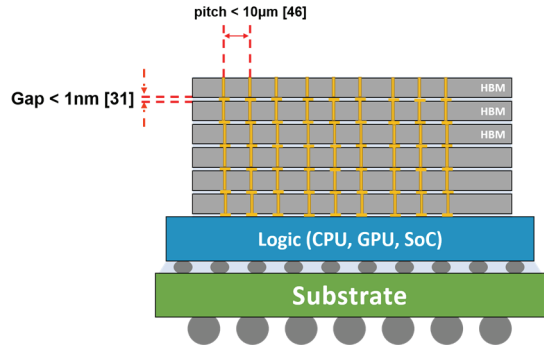


Fig. 8. Schematic of the HBM integration on 3D packaging using hybrid bonding.

3.2 친수성 성질을 이용한 저온 하이브리드 본딩

최근에는 SiO₂와의 친수성 반응을 통해 Cu-Cu 접합 간의 문제를 해결하려는 시도가 있다. 온도에 민감한 칩의 성능 저하를 방지하기 위해서는 260°C 미만의 온도에서 접합 (일반적인 하이브리드 본딩 접합 온도 <350°C)이 이루어져야 한다.³⁸⁾ 이렇듯 저온 Cu-SiO₂ 하이브리드 본딩이 이루어지려면 산화물이 없는 구리 (oxidation-free)를 형성하거나 접합부의 표면 에너지를 증가시켜야 한다.³⁹⁾ Cu 표면의 산화물을 제거하기 위한 전처리 방법에는 유기산 용액 (포름산, 아세트산 등)이 주로 사용된다. 하지만 유기산은 SiO₂ 표면의 공유결합을 효과적으로 끊을 수 없을 뿐만 아니라 다른 유기물이 SiO₂ 표면에 흡착될 수 있는 문제가 있으며, 이는 결합 신뢰성에 큰 테미지를 준다.⁴⁰⁻⁴²⁾

Qiushi 등⁴³⁾은 유기 용액을 사용하지 않고, 저온 하이브리드 본딩을 하는 방법을 제시하였다. 암모니아 무기물의 활성화를 통하여 Cu와 SiO₂ 사이의 표면의 -OH 및 -NH 작용기를 공동 친수화하는 방법을 소개하였다. Ar/O₂ 플라즈마와 알칼리성 NH₄OH 조합을 통해 Cu 산화물을 제거하여 잔류물없이 하이브리드 본딩 표면에 충분한 불포화 결합 (dangling bond)를 형성하였다. 접합부 표면의 충분한 친수성 작용기를 부여함으로써 200°C에서 Cu-Cu 인터페이스와 SiO₂-SiO₂ 계면을 결합시키는 결과를 도출하였다.



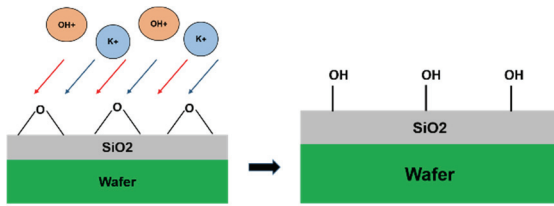


Fig. 9. Mechanism of the surface modification (KOH) through the transformation of Si-O-Si to Si-OH.

Jia 등⁴⁴⁾은 KOH (potassium hydroxide) 표면개질법을 사용하여 저온에서 Cu와 SiO₂ 간의 본딩 신뢰성을 향상시키는 방법을 제안하였다. Fig. 9 와 식(1), (2)는 Jia 등의 표면처리 방법 및 반응식을 나타낸 것이다. 수산기 (hydroxyl group) 공급원으로 KOH를 사용하여 Si-OH 결합을 형성 및 표면을 개질 (modification)하여 SiO₂ 유전층 (dielectric layer)을 형성하였다. KOH 용액은 접합부 표면 거칠기를 증가시키지 않고, Cu 표면을 친수성으로 변환시켰다. 이는 저온에서 접합 신뢰성 향상에 기여한다고 제시하였다.

Lee 등⁴⁵⁾은 친수성 물질들의 특성인 자기정렬(self-alignment) 효과를 이용해 Cu-Cu 와 Cu-wafer 접합 메커니즘을 제시하였다. 대기압에서 N₂O₂ 플라즈마를 이용해 접합 시간을 단축시켰고, 이를 통해 접합부 표면의 활성화 및 친수성 표면을 형성하였다. 이를 통해 접합 온도를 200°C까지 낮추었으며, 플라즈마에 의해 표면의 활성화 Si-OH의 수가 증가되면서 SiO₂ 표면의 접촉각은 53.5°에서 35°까지 변화하였고, 이는 젖음성 및 결합력을 상승시키는 원인으로 분석하였다. 결과적으로 3D 패키징에서 요구되는 최소 접합 계면 에너지인 5 J/m²보다 2배 높은 10.69 J/m²의 접합 계면 에너지를 얻었다.

4. 결 론

본 고에서는 3D 칩 적층을 위한 하이브리드 본딩 패키징에 대하여 최근 연구 동향을 조사하였다. 최근 AI와 HPC를 가진 데이터 센터, 자동차용 전장 용품 및 자율 주행 시스템 시장이 성장하고 있다. 이에 향후 첨단 반도체 패키징 분야에서 기술력과 경쟁력을 가지기 위해 국내외 기업들의 치열한 경쟁이 예상된다. 그 예로, 2020년 Xperi는 Sk hynix와 2.5D 및 3D 패키징 등 차세대 메모리 반도체 개발을 위한 'DBI (Direct Bond Interface) Ultra' 계약을 체결한 사례가 있다.³⁴⁾

기판, 다이, 웨이퍼, 칩 등 여러 소자를 연결하는 접합 기술 분야 (Die-die, Die-wafer, Wafer-chip, chip-chip)에서 하이브리드 본딩 기술은 기존의 마이크로 범프보다 좁은 피치

와 높은 I/O 밀도를 가질 수 있다는 장점이 있다. 그러나 하이브리드 본딩을 하기 위해서 동반되는 구리 표면의 빠른 산화 문제, 깨끗한 구리 표면을 만들기 위한 세척 문제, 결합 강도 및 저온 접합과 접합부의 정렬 문제 등을 해결하는데 많은 노력이 필요할 것으로 판단된다. 금후에도 3D 패키징을 위한 다양한 접합 기술 분야에 대해 더 많은 연구와 발전을 기대한다.

감사의 글

이 연구는 산업통상자원부(MOTIE) 및 한국산업기술진흥원(KIAT)의 지원을 받아 수행된 연구입니다(P0018010, 2023).

참고문헌

1. J. H. Lau, "Recent Advances and Trends in Advanced Packaging," in IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 12, no. 2, pp. 228-252, Feb (2022).
2. Santosh Kumar, Status of Advanced Packaging Industry 2020, Yole Development (2020).
3. Tsai, W. S., Huang, C. Y., Chung, C. K., Yu, K. H., & Lin, C. F. Generational changes of flip chip interconnection technology. Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT, 2017-October(153), 306-310 (2017).
4. Nokibul Islam, M-C Hsieh, K. KeonTaek, V. Pandey,"Fine pitch Cu pillar Assembly Challenges for Advanced Flip Chip Package", International Wafer Level Packaged Conference, San Jose, CA, Oct (2017).
5. Sk hynix, Competitive Edge of SKH'S HBM, Tech Seminar (2023).
6. K. J. Cho, J. H. Kim, "Design and analysis of high bandwidth memory (HBM) interposer considering signal and power integrity (SI/PI) for terabyte/s bandwidth system", KAIST, EE-Theses_Master, p 56, Aug (2016).
7. C. Zhiwen, Z. Jiaju, W. Shizhao, C.P. Wong, "Challenges and prospects for advanced packaging", Fundamental Research (2023)
8. C. Drechsel, P. Carazzetti, C. Wang, K. Viehweger, J.

- Weichart and E. Strolz, "Optimum Rc Control and Productivity Boost in Wafer-Level Packaging Enabled by High-Throughput UBM/RDL Technology," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, pp. 126-131 (2023).
9. Heterogenous Integration Roadmap, Wafer-Level Packaging(WLP), Ch23 (2021).
 10. L.Y Gao, C.F Li, P. Wan, H. Zhang, Z.Q Liu, "The diffusion barrier effect of Fe-Ni UBM as compared to the commercial Cu UBM during high temperature storage," *Journal of Alloys and Compounds*, Volume 739 (2018).
 11. K.S Choi, H.S Lee, H.C Bae, Y.S Oem, "Recent Trends of Flip Chip Bonding Technology," 2013 Electronics and Telecommunications Trends, ETRI, Volume 28, no.5 (2013).
 12. Zainudin, W.Z.Z.W., Yong, T.C., Hui, T.C. *et al.* Optimization of reflow profile for copper pillar with SAC305 solder cap FCCSP. *J Mater Sci: Mater Electron* 34, 187 (2023).
 13. Kung Chuan, K. C., Sutiono, S., Senthil, B., Tim Tiam, K. G., Sig, K. S., Kumar, R. S., Fen, Z. R., & Li -San, C. Voids Reduction in Fine Pitch SiP assembly through optimization of reflow parameters. 2020 IEEE 22nd Electronics Packaging Technology Conference (EPTC), 291–296 (2020).
 14. S. M. Yeo, H. -K. Yow, K. H. Yeoh and S. H. b. Ishak, "Vacuum Reflow Process Optimization for Solder Void Size Reduction in Semiconductor Packaging Assembly," in *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 12, no. 8, pp. 1410-1420, Aug (2022).
 15. I. Kaban, S. Mhiaoui, W. Hoyer, and J.-G. Gasser, "Surface tension and density of binary lead and lead-free SN-based solders," *J. Phys. Condens. Matter*, vol. 17, no. 50, p. 7867, Dec. (2005).
 16. K. Sweatman, T. Nishimura, K. Sugimoto, and A. Kita, "Controlling voiding mechanisms in the reflow soldering process," in *Proc. IPC APEX Exp.*, Art. no. 149451126 (2016).
 17. Kumar, S., Mallik, S., Ekere, N. *et al.* Stencil printing behavior of lead-free Sn-3Ag-0.5Cu solder paste for wafer level bumping for Sub-100 μm size solder bumps. *Met. Mater. Int.* **19**, 1083–1090 (2013).
 18. C. -Y. Huang et al., "Analysis of Warpage and Stress Behavior in a Fine Pitch Multi-Chip Interconnection with Ultrafine-Line Organic Substrate (2.1D)," 2018 IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 631-637 (2018).
 19. A. Mackie, H. Jo, S.P Lim, "Flip-Chip Flux Evolution," IMAPS 2019, Boston, USA (2019).
 20. P. R. Chowdhury et al., "Assembly Process and Application Studies of Pre-Applied Underfill Non-Conductive Film (NCF) and Non-Conductive Paste (NCP) for Advanced Packages," 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 1971-1977 (2021).
 21. P. Sun, Y. Yan and L. CAO, "Thermal Compression Bonding Process Development for C2W Stacking in 3D Package," 2020 21st International Conference on Electronic Packaging Technology (ICEPT), Guangzhou, China, pp. 1-4 (2020).
 22. Samsung Electronis, Samsung Memory Tech Day 2023, Oct 20, Sab Jose, California, USA (2023).
 23. T. Nonaka et al., "High throughput thermal compression NCF bonding," 2014 IEEE 64th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2014, pp. 913-918 (2014).
 24. J. -W. Shin, Y. S. Kim, H. G. Lee, U. B. Kang, S. K. Seo and K. -W. Paik, "Effects of thermo-compression bonding parameters on joint formation of micro-bumps in non-conductive film (NCF)," 2015 IEEE 65th Electronic Components and Technology Conference (ECTC), San Diego, CA, USA (2015).
 25. S. Na et al., "Next Gen Laser Assisted Bonding (LAB) Technology," 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 1991-1995 (2022).
 26. P. R. Chowdhury et al., "Thermo-mechanical Analysis of Thermal Compression Bonding Chip-Join Process," 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 579-585 (2022).
 27. Alves Braganca, Wagno&Kyungoe, Kim & Youngcheol, Kim. Development of a laser-assisted bonding

- process for a flip-chip die with backside metallization (2020).
28. I. Hsu, C. -Y. Chen, S. Lin, T. -J. Yu, N. Cho and M. -C. Hsieh, "7nm Chip-Package Interaction Study on a Fine Pitch Flip Chip Package with Laser Assisted Bonding and Mass Reflow Technology," 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, pp. 289-293 (2019).
 29. A. Kolbasow, T. Kubsch, M. Fettke, G. Friedrich and T. Teutsch, "Vertical Laser Assisted Bonding for Advanced "3.5D" Chip Packaging," 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, pp. 210-217 (2019).
 30. K. -S. Choi et al., "Enhanced Performance of Laser-Assisted Bonding with Compression (LABC) Compared with Thermal Compression Bonding (TCB) Technology," 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, pp. 197-203 (2019).
 31. J. Wu et al., "3D V-Cache: the Implementation of a Hybrid-Bonded 64MB Stacked Cache for a 7nm x86-64 CPU," 2022 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, pp. 428-429 (2022).
 32. Lee, YG., McInerney, M., Joo, YC. *et al.* Copper Bonding Technology in Heterogeneous Integration. *Electron. Mater. Lett.* (2023).
 33. Min-Hsun Yu, Jia-Juen Ong, Dinh-Phuc Tran, Wei-Lan Chiu, Wei-You Hsu, Huai-En Lin, Yu-An Chen, Hsiang-Hou Tseng, Guan-You Shen, Shih-Chi Yang, Chih Chen, Low temperature Cu/SiO₂ hybrid bonding via <111>-oriented nanotwinned Cu with Ar plasma surface modification, *Applied Surface Science*, Volume 636, 157854 (2023).
 34. Y. Kagawa et al., "Development of face-to-face and face-to-back ultra-fine pitch Cu-Cu hybrid bonding," 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 306-311 (2022).
 35. M.-H. Roh, A. Sharma, J.-H. Lee, and J. P. Jung, "Extrusion Suppression of TSV Filling Metal by Cu-W Electroplating for Three-Dimensional Microelectronic Packaging", *Metallurgical and Materials Transactions A*, 46, 2051-2062 (2015).
 36. H. K. Seo, S. Eunkyung Kim, G. Kim, H. S. Park and Y. -B. Park, "Effects of two-step plasma treatment on Cu and SiO₂ surfaces for 3D bonding applications," 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, pp. 1677-1683 (2020).
 37. W. -L. Chiu, O. -H. Lee, C. -W. Chiang and H. -H. Chang, "Low-Temperature Wafer-to-Wafer Hybrid Bonding by Nanocrystalline Copper," 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, pp. 679-684 (2022).
 38. Cheng-Ta Ko, Kuan-Neng Chen, Low temperature bonding technology for 3D integration, *Microelectronics Reliability*, Volume 52, Issue 2, 2012, Pages 302-311 (2012).
 39. Chien-Min Liu, Han-wen Lin, Yi-Cheng Chu, Chih Chen, Dian-Rong Lyu, Kuan-Neng Chen, K.N. Tu, Low-temperature direct copper-to-copper bonding enabled by creep on highly (111)-oriented Cu surfaces, *Scripta Materialia*, Volumes 78–79, Pages 65-68 (2014).
 40. Tanaka, K.; Wang, W.-S.; Baum, M.; Froemel, J.; Hirano, H.; Tanaka, S.; Wiemer, M.; Otto, T. Investigation of Surface Pre-Treatment Methods for Wafer-Level Cu-Cu Thermo-Compression Bonding, *Micromachines*, 7, 234 (2016).
 41. J Fan, D F Lim, C S Tan, Effects of surface treatment on the bonding quality of wafer-level Cu-to-Cu thermo-compression bonding for 3D integration, *Journal of Micromechanics and Microengineering*, Volume 23, Number 4, 045025 (2013)
 42. Nabil G. Mistkawi, Makarem A. Hussein, Malgorzata Ziomek-Moroz, Shankar B. Rananavare, Corrosion Behavior of Copper Thin Films in Organic HF-Containing Cleaning Solution for Semiconductor Applications, *Journal of Electrochemical Society*, Volume 157, Number 1 (2010).
 43. Qiushi Kang, Ge Li, Zhengda Li, Yanhong Tian, Chenxi Wang, Surface co-hydrophilization via ammonia inorganic strategy for low-temperature Cu/SiO₂ hybrid bonding, *Journal of Materials Science & Technology*, Volume 149, Pages 161-166 (2023).

-
44. Jia-Juen Ong, Dinh-Phuc Tran, Wei-Lan Chiu, Shih-Chi Yang, Min-Hsun Yu, Fang-Chun Shen, Hsiang-Hung Chang, Ou-Hsiang Lee, Chia-Wen Chiang, Chin-Hung Wang, Wen-Wei Wu, Chih Chen, Potassium hydroxide surface modification for low temperature Cu/SiO₂ hybrid bonding, *Surfaces and Interfaces*, Volume 40, 103076 (2023).
45. Lee, Jae Hak & Ha, Tae & Lee, Chang & Song, Jun-Yeob & Yoo, Choong. Low temperature hybrid bonding using self-alignment (2010).
- J. P. Mudrick, J. A. Sierra-Suarez, M. B. Jordan, T. A. Friedmann, R. Jarecki and M. D. Henry, "Sub-10 μ m Pitch Hybrid Direct Bond Interconnect Development for Die-to-Die Hybridization," 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, pp. 648-654 (2019).
-
- 접수일: 2023년 11월 7일, 심사일: 2023년 12월 5일,
게재확정일: 2023년 12월 12일