

몰드 두께에 의한 팬 아웃 웨이퍼 레벨 패키지의 Warpage 분석

문승준^{*,***} · 김재경^{**} · 전의식^{**,***†}

^{*}(주)네페스, ^{**}공주대학교 생산기술연구소, ^{***†}공주대학교 기전공학과

Analysis of Warpage of Fan-out Wafer Level Package According to Molding Process Thickness

Seung Jun Moon^{*,***}, Jae Kyung Kim^{**} and Euy Sik Jeon^{**,***†}

^{*}NEPES Co., Ltd.,

^{**}Industrial Technology Research Institute, Kongju National University,

^{***†}Graduate School of Mechatronics Engineering, Kongju National University

ABSTRACT

Recently, fan out wafer level packaging, which enables high integration, miniaturization, and low cost, is being rapidly applied in the semiconductor industry. In particular, FOWLP is attracting attention in the mobile and Internet of Things fields, and is recognized as a core technology that will lead to technological advancements such as 5G, self-driving cars, and artificial intelligence in the future. However, as chip density and package size within the package increase, FOWLP warpage is emerging as a major problem. These problems have a direct impact on the reliability and electrical performance of semiconductor products, and in particular, cause defects such as vacuum leakage in the manufacturing process or lack of focus in the photolithography process, so technical demands for solving them are increasing. In this paper, warpage simulation according to the thickness of FOWLP material was performed using finite element analysis. The thickness range was based on the history of similar packages, and as a factor causing warpage, the curing temperature of the materials undergoing the curing process was applied and the difference in deformation due to the difference in thermal expansion coefficient between materials was used. At this time, the stacking order was reflected to reproduce warpage behavior similar to reality. After performing finite element analysis, the influence of each variable on causing warpage was defined, and based on this, it was confirmed that warpage was controlled as intended through design modifications.

Key Words : Fan-out wafer-level package, Warpage, EMC, Silicon chip, Thickness

1. 서 론

팬인 웨이퍼 레벨 패키지(Fan In Wafer Level Package, FIWLP)는 웨이퍼 원판에 직접 배선을 하므로 반도체 칩 영역을 넘어가는 공간에는 배선을 할 수 없다. 반면에, 팬

아웃 웨이퍼 레벨 패키지(Fan Out Wafer Level Package, FOWLP)는 웨이퍼를 자른 후 넓게 재배치한 뒤 배선을 하므로 배치한 간격만큼 반도체 칩 보다 넓은 영역까지 배선이 가능하다[1]. 따라서 웨이퍼 설계를 변경하지 않고도 다양한 크기의 반도체 패키지 제작이 가능하며 여러 소켓 규격에 유연하게 대응이 가능하다는 장점이 있다[2,3]. 또한, 동일한 반도체 칩이 공정 개선을 통해 크기가 줄어

[†]E-mail: osjun@kongju.ac.kr

든 경우에도 패키지 배선 변경만을 통해 소켓 변경없이 동일하게 호환이 가능하다. 이는 반도체 칩의 소형화 시 웨이퍼 내 반도체 칩의 수량이 증가하기 때문에 동일 수량의 반도체 칩을 제조할 때 비용 절감의 효과도 있다. 하지만 패키지 제조 관점에서는 해결해야 할 문제가 있다. FIWLP의 경우는 실리콘 웨이퍼를 자르지 않고 그대로 패키징 하므로 열팽창계수가 높은 절연막이 코팅 되어도 큰 변형은 발생하지 않는 반면에, FOWLP는 웨이퍼를 얇게 갈아내고 작게 잘라서 재배치한 뒤 에폭시 몰딩 컴파운드(Epoxy Molding Compound, EMC)로 몰딩하기 때문에 패널의 탄성력이 감소하여 절연막에 의한 Warpage(휨)에 취약하다[4,5]. Warpage가 심한 경우 패널이 장비내 안착이 되지 않는 등 작업성의 문제가 발생하기 때문에, 이러한 변형을 방지하기 위해 FOWLP에서는 EMC 쪽에 핸들링을 위한 캐리어를 부착하여 절연막 코팅 공정에 사용한다. 그러나 코팅 공정이 끝난 후에는 EMC를 목표 두께까지 갈아내기 위해 캐리어를 다시 제거해야 한다. 따라서 캐리어 사용을 고려하더라도 전체 공정에 적용할 수는 없기 때문에, 특정 공정부터 Warpage는 불가피한 문제이며 외력으로 제어하기가 쉽지 않아 패널의 Warpage 발생량을 줄이는 것이 중요해진다.

대량 생산 제품에서 소재 선정은 보수적일 수밖에 없기 때문에 소재 변경이 쉽지 않음을 감안하면 Warpage는 구조적인 문제로 귀결되는데, FOWLP 패키징 과정에서 결정되는 구조 성분은 절연층의 두께, 실리콘 칩의 두께, EMC의 두께가 있다. 절연층은 스�핀 코팅을 하기 때문에 소재와 공법의 한계상 두께가 최대 30 μm 미만 수준으로 조절 범위가 매우 제한적이며 반도체 동작 특성에 영향을 줄 수 있어 조절하기에 부적절하다. 그렇다면 Warpage 제어를 위해 실리콘 칩과 EMC의 두께를 조절해볼 수 있는데, 실제 샘플을 제작하는 경우 Warpage 측정까지 약 3주의 시간이 필요하여 실제 제품의 Warpage를 측정하고 두께를 변경하는 방식은 비용 및 시간적으로 채택이 불가능한 실정이다.

따라서 본 논문에서는 유한요소해석을 통해 FOWLP Warpage값의 유효성을 검증하고, 실리콘 칩과 EMC 두께가 패널 Warpage에 미치는 영향성을 분석하여 측정 없이 Warpage를 예측할 수 있는 FOWLP의 설계 가이드를 제시하고자 한다.

분석 대상인 지름 300 mm FOWLP 샘플의 Warpage를 측정하고 해당 샘플을 FE(Finite element)모델로 구성하여 유한요소해석을 수행하였다. 유한요소해석 모델과 샘플의 Warpage를 비교하고 칩 두께와 EMC 두께가 Warpage에 미치는 영향을 분석하였다.

2. Warpage 측정 및 시뮬레이션

2.1 패널 제조 및 Warpage 측정

2.1.1 패널 구조

Warpage 측정용 샘플 패널의 지름은 300 mm이며, 3.45 mm×2.65 mm 크기의 실리콘 칩 5,102개가 3.8 mm×3.35 mm 간격으로 배치 되어있다. Fig 1은 패널 설계도를 나타내며 Fig 2는 실리콘 칩의 크기와 배열 치수를 나타낸다. Fig 3은 캐리어가 부착된 300 mm패널이며 불투명한 검정색이 EMC이다. 내부 실리콘 칩과 EMC몰드의 단면 구조는 Fig 4와 같다.

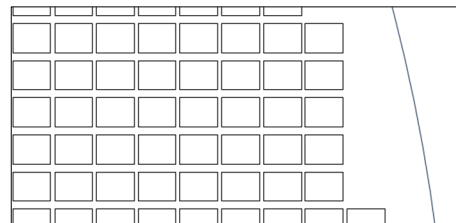


Fig. 1. Panel drawing.

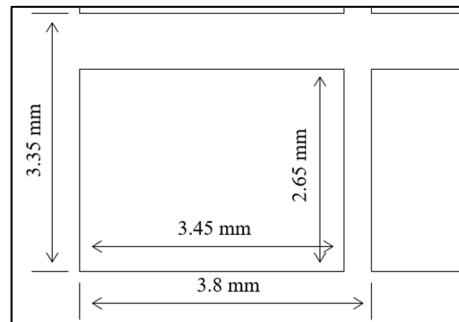


Fig. 2. Silicon chip size and array pitch.

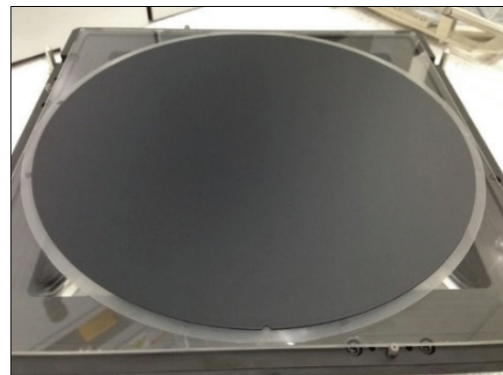


Fig. 3. FOWLP of 300 mm diameter.

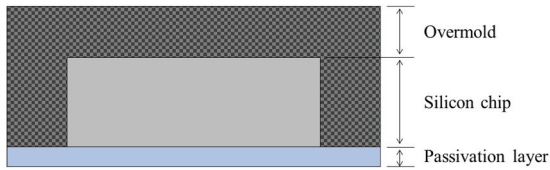
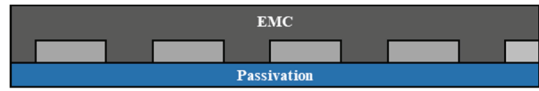
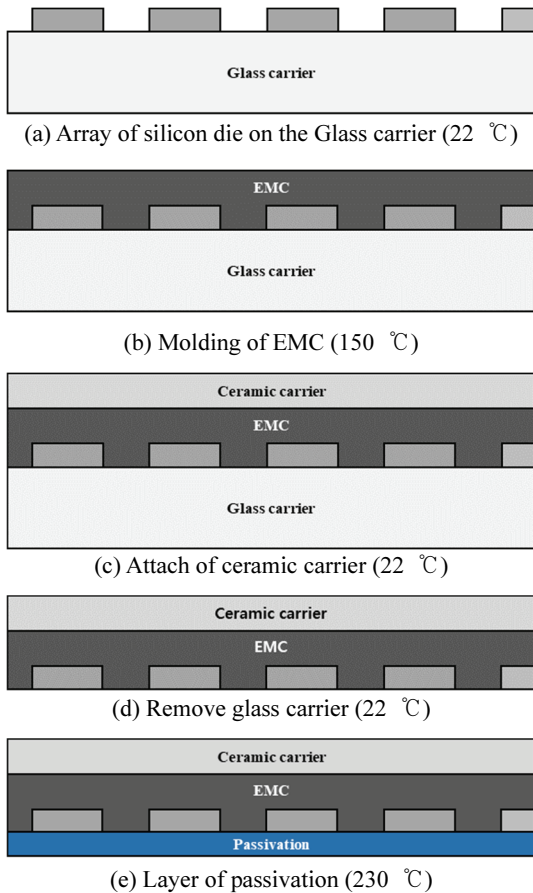


Fig. 4. Cross section of silicon chip and EMC mold.

2.1.2 공정 순서 및 온도

먼저 EMC패널을 만들기 위해 유리 캐리어에 실리콘 칩을 배치한다. 배치된 실리콘 칩에 액상 EMC를 도포하고 Compression Molding 하여 150 °C에서 경화한다. EMC 반대편에 절연층을 코팅하기 위해 세라믹 캐리어를 부착하고, 유리 캐리어는 제거한다. 유리 캐리어가 제거된 면에 절연층을 코팅하고 230 °C에서 경화한 뒤, 마지막으로 세라믹 캐리어를 제거하여 패널을 완성한다. Fig 5는 FOWLP의 제조 순서와 공정 온도를 나타낸다.



(f) Remove ceramic carrier (22 °C)
Fig. 5. Fabrication process and temperature of FOWLP.

Table 1. Panel structure thickness (unit: μm)

Case	Silicon chip	Overmold	Layer of passivation
1	450	105	25
2	460	95	25
3	470	105	25
4	490	105	25
5	500	105	25

Table 1 은 제작된 FOWLP의 실리콘 칩과 Overmold의 두께를 나타낸다.

2.1.3 측정 방법

제작한 FOWLP의 Warpage는 2번씩 반복 측정하였으며 측정은 정반 위에 위치시킨 후 Fig 6과 Fig 7 같이 등간격의 여덟 지점에 대해 스테인리스 자(단위 눈금: 0.5 mm)를 이용하여 측정하였다. Warpage측정 후 가장 큰 값을 사용하였으며 두 개의 FOWLP를 반복 측정 후 평균 값을 최종 Warpage 데이터로 활용하였다.

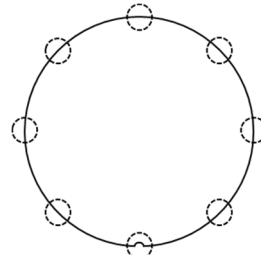


Fig. 6. Measurement point of warpage.

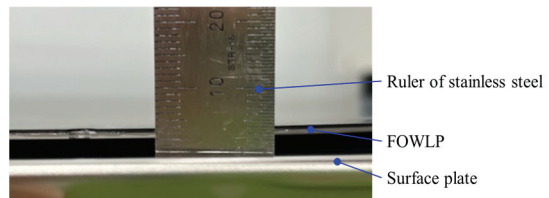


Fig. 7. Measurement of warpage.

2.2 FOWLP Warpage 유한요소해석

2.2.1 Warpage 발생 메커니즘

다양한 요소가 Warpage를 유발하지만 주요 메커니즘으로는 열팽창계수(Coefficient of Thermal Expansion, CTE) 차이에 의한 Warpage를 꼽을 수 있다[6,7]. 고온 경화 과정을 거치는 소재는 경화 온도에서 응력이 없는 상태로 적층 되는데, 이후 상온으로 냉각되면 적층 된 재료의 열팽창계수 차이에 의해 소재마다 다른 변형량을 갖게 된다. 이 변형량 차이에 의해 Warpage 가 발생하며 이러한 적층 공정의 온도, 열팽창계수와 탄성계수를 시뮬레이션에 적용하여 Warpage 해석을 수행하였다.

2.2.2 유한요소모델링

패널 중심을 기준으로 X, Y축 방향 대칭 구조이기 때문에 1/4 모델을 사용하였다. 또한 절연층의 두께가 모델크기(지름: 300 mm)에 비해 매우 얇기(0.025 mm) 때문에 요소의 정상적인 중횡비를 확보하는 데에 어려움이 있어 지름을 1/8 수준으로 줄인 모델을 사용하여 Warpage 값을 후보정하는 방식을 적용하였다. Fig. 8과 같이 작은 모델의 Warpage를 해석한 후, 동일 곡률 반경을 갖는 큰 모델의 Warpage로 환산하는 방식을 사용하였다. 각 구성요소별 물성은 제조사(EMC-Nagase ChemteX Corp., passivation-ASAHI KASEI, glass carrier-SCHOTT)의 정보를 적용하였다. Fig. 9은 FOWLP의 1/4 모델을 나타내며 Table 2는 각 층별 물성을 나타낸다.

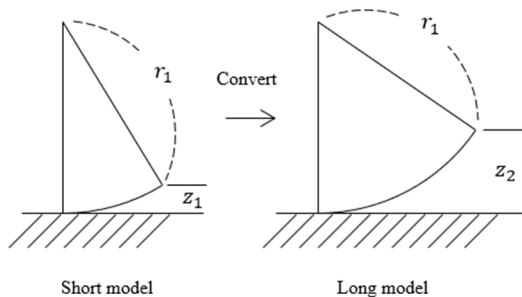


Fig. 8. Warpage convertor concept.

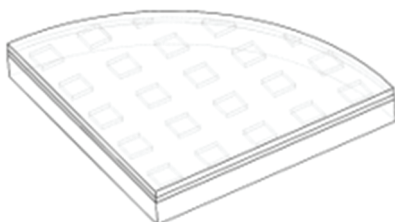


Fig. 9. Symmetry model of FOWLP.

Table 2. Material properties of FOWLP

Materials	CTE [ppm/°C]	Young's Modulus [GPa]
EMC	10	19
Silicon	2.6	124
Passivation	54	3.5
Glass Carrier	3.25	63
Ceramic Carrier	7.7	330

2.2.3 경계조건

X, Y축 단면에 대칭 조건을 설정하였으며 패널 중심점에 Fixed support를 설정하여 자유도를 구속하였다. 열공정의 시간에 대한 온도 변화는 충분히 천천히 진행되기 때문에 열 하중은 전체 모델에 직접 지정하였다. Fig. 10는 유한요소해석을 위한 경계조건을 나타내며 열 하중 온도는 Chapter 2.1.2의 공정별 온도를 적용하였다.

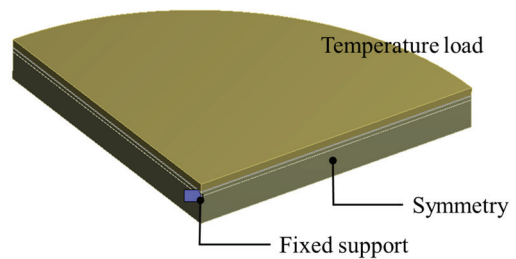


Fig. 10. Boundary conditions.

2.2.4 요소(Element) 생성

부피가 크고 초기 단계에 제거되는 유리 캐리어는 요소의 크기를 1 mm 수준으로 크게 지정하였고, 나머지 항목들에 대해서는 빠른 해석 시간과 결과값의 타당성을 중점으로 결정하기 위해 0.2 mm ~ 1 mm 크기로 해석하여 결과를 관측하였다. 관측 결과, 요소의 크기 600 μm 이하에서 결과들이 유사하게 나타나 해석 시간과 결과의 타당성을 고려할 때 적합할 것으로 판단하여 600 μm 로 설정하였다. Fig. 11은 해석 모델의 요소 크기에 따른 Warpage 값을 나타낸다.

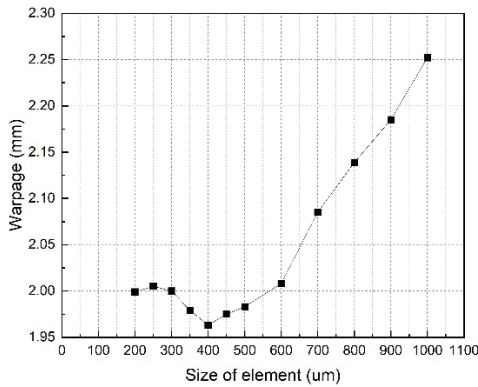


Fig. 11. Warpage by element size.

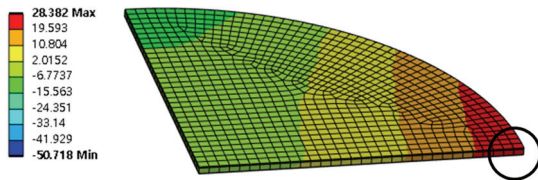


Fig. 12. Maximum deformation of FOWLP model.

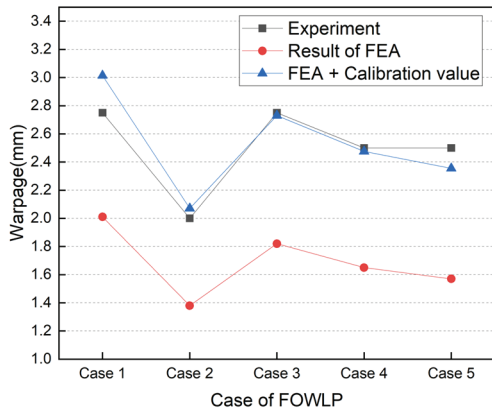


Fig. 13. Results of warpage.

2.3 결과 비교 분석

패널 중앙을 Fixed support로 고정하였기 때문에 모델 끝 꼭지점의 Z축 방향 변형량을 Warpage 값으로 사용하였으며, Fig 8의 변환기를 이용하여 이 값을 동일 곡률 반경으로 가정하여 300 mm 패널 스케일로 보정하였다. Fig 12은 유한요소해석 결과에서의 Warpage 측정 위치를 나타낸다. 실제 FOWLP 실 모델과 유한요소 모델의 해석 결과는 전체 케이스에서 실측값이 더 크게 나타나는데, 선행연구[8]에 따르면 EMC는 경화 과정에서 열팽창계수와 무관한 수축이 추가로 발생한다. 따라서 이로 인한 -50 % 수준의

오차가 일정하게 발생하는 것으로 가정하여 각 케이스에 평균 오차율 +50 %의 값을 보정하였다. 보정 값 적용 시 실험에서의 Warpage 측정 값과 유한요소해석 결과 값의 오차는 ±10 % 이내로 해석의 결과가 유효함을 알 수 있다. Fig 13는 실제 패널의 Warpage 측정값과 동일 구조의 유한요소해석(FEA, Finite element analysis) 결과와 보정값 적용된 값을 나타낸다. 이를 통해 유한요소 해석 결과 값의 타당성을 확인하였다.

3. 요인실험계획 및 분석

3.1 요인실험계획

2.3의 분석결과를 통해 유한요소 해석의 결과값의 타당성을 확인하였으므로, EMC Overmold와 실리콘 칩의 두께가 Warpage 미치는 영향 분석을 위해 요인실험계획법을 적용하여 실험계획 수립 및 유한요소 해석, 결과 분석을 수행하였다. 실험인자는 EMC overmold 두께와 실리콘 칩의 두께로 설정하였으며 각 인자에 대하여 5수준으로 적용하였다. Table 3은 실험인자 및 수준을 나타내며 Table 4는 각 조건별 Warpage를 나타낸다. 시뮬레이션 조건별 분석은 MINITAB을 이용하였으며 분석결과 각 요소의 두께 변화는 Warpage에 유의한 영향을 미치는 것을 알 수 있다.

Fig 14는 표준화된 영향 값의 파레토 차트를 나타내며 신뢰수준 95%의 기준 값과 교차될 시 Warpage에 미치는 변수로서 유의성이 있다고 판단하다. 기준 값은 2.12로 나타나며 이 기준선에 두 개의 변수가 교차됨을 확인할 수 있다. Fig 15은 주 효과 분석결과이며 각 변수 값에 따라 Warpage의 평균 값을 나타낸다. Overmold의 두께가 두꺼워질수록 선형적으로 Warpage가 커지는 것을 알 수 있으며 실리콘 칩의 두께는 두꺼워질수록 2차함수의 형태로 Warpage가 줄어들음을 확인할 수 있다. Table 5는 요인 실험계획과 결과값에 대한 분산분석 결과를 나타내며 R-sq 93.54 %, R-sq(adj) 90.31%로 실험계획과 결과의 분석에 대한 유의성이 타당함을 알 수 있다. 또한, 각 인자별 P-value 0.000으로 Warpage에 미치는 영향이 유의함을 알 수 있으며 F-value에 따라 실리콘 칩의 두께가 EMC overmold의 두께에 비해 Warpage에 미치는 영향이 상대적으로 큰 것을 알 수 있다.

Table 3. Parameters and level for DOE

Factors	Level and value					
	1	2	3	4	5	
t _{sc}	Thickness of silicon chip(mm)	350	425	500	575	650
t _{om}	Thickness of over mold(mm)	85	100	115	130	145

Table 4. Results of warpage by factorial design

No.	Factors		Warpage (mm)	No.	Factors		Warpage (mm)
	t _{sc}	t _{om}			t _{sc}	t _{om}	
1	1	1	1.717	14	3	4	2.691
2	1	2	3.073	15	3	5	3.321
3	1	3	4.349	16	4	1	0.405
4	1	4	5.525	17	4	2	0.944
5	1	5	6.598	18	4	3	1.474
6	2	1	1.042	19	4	4	1.994
7	2	2	1.980	20	4	5	2.491
8	2	3	2.896	21	5	1	0.283
9	2	4	3.766	22	5	2	0.715
10	2	5	4.584	23	5	3	1.143
11	3	1	0.636	24	5	4	1.563
12	3	2	1.343	25	5	5	1.971
13	3	3	2.030				

Table 5. ANOVA for Warpage

Source	DF ₁₎	Adj SS ₂₎	Adj MS ₃₎	F-Value ₄₎	P-Value ₅₎
Model	8	59.059	7.3824	28.96	0.000
Linear	8	59.059	7.3824	28.96	0.000
t _{sc}	4	31.287	7.8218	30.68	0.000
t _{om}	4	27.772	6.9430	27.23	0.000
Error	16	4.079	0.2549		
Total	24	63.138			

Model summary			
S	R-sq	R-sq(adj)	R-sq(pred)
0.504923	93.54%	90.31%	84.23%

- 1) DF: Degree of freedom 2) Adj SS: Sum of squares
- 3) Adj MS: Mean of square 4) F-Value: MSTR/MSE
- 5) P-Value: The criterion for determining the significance level and the reference value is less than 0.05

3.2 실리콘 두께에 따른 Warpage 예측

실리콘 칩은 일반적으로 제조사에서 두께가 정해진 후 전달되며 이를 토대로 최종 FOWLP 제작을 위한 나머지 공정이 진행된다. 실리콘칩의 두께는 두꺼울수록 Warpage에 미치는 영향이 적으나 갈수록 실리콘 칩의 두께는 얇아지는 추세에 따라 Warpage 최소화를 위해 EMC overmold 두께를 얇게 적용할 수밖에 없다. 그러나 최종 Panel의 두께 제한으로 최소 두께 적용이 어려우므로 실리콘 칩에 따른 EMC overmold의 두께 제한이 필요하다. 유한요소해석결과 실리콘 칩의 두께에 따른 Warpage 결과는 최소자승법에 의하여 다음과 같이 각각의 관계식으로 나타낼 수 있다. 실험 환경에서는 패널 Warpage 3 mm 초과시 장비 인식 오류가 발생했기 때문에, 3 mm를 Warpage 기준으로 선정하였다.

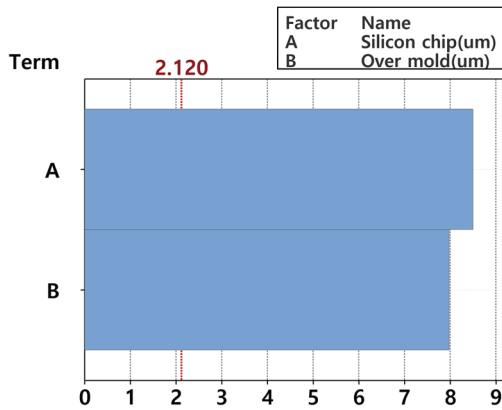


Fig. 14. Pareto chart of the standardized effects.

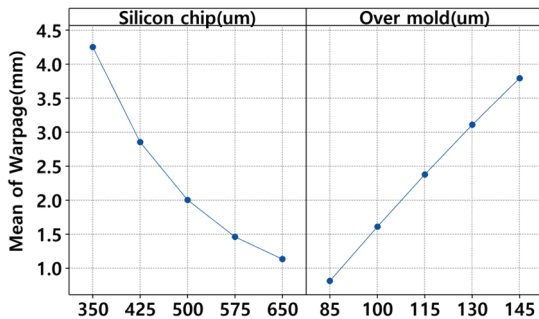


Fig. 15. Main effects plot for panel Warpage.

Silicon chip 350 μm

$$\text{Warpage(mm)} = -2.0E-4 \times t_{om}^2 + 0.130 \times t_{om} - 7.812 \quad (1)$$

Silicon chip 425 μm

$$\text{Warpage(mm)} = -9.0E-05 \times t_{om}^2 + 0.080 \times t_{om} - 5.107 \quad (2)$$

Silicon chip 500 μm

$$\text{Warpage(mm)} = -6.0E-05 \times t_{om}^2 + 0.058 \times t_{om} - 3.876 \quad (3)$$

Silicon chip 575 μm

$$\text{Warpage(mm)} = -3.0E-05 \times t_{om}^2 + 0.042 \times t_{om} - 2.923 \quad (4)$$

Silicon chip 650 μm

$$\text{Warpage(mm)} = -2.0E-05 \times t_{om}^2 + 0.032 \times t_{om} - 2.331 \quad (5)$$

여기서,

t_{om} = Thickness of overmold of EMC (mm)

(1)부터 (5)까지의 식으로부터 Warpage (3 mm)를 초과하지 않는 실리콘 칩 두께에 따른 EMC overmold의 두께를 다음과 같이 제한할 수 있다.

Thickness of overmold of EMC(μm)

$$= 2.0\text{E-}04 \times t_{sc}^2 + 0.098 \times t_{sc} + 39.183 \quad (6)$$

여기서,

t_{sc} = Thickness of silicon chip (mm)

도출한 식 (6)의 R-sq는 99.97로 매우 유의한 것을 알 수 있으며 식 (6)을 토대로 제한한 EMC overmold 두께에 +50 %의 값을 보정 시 실 공정에 적용할 수 있을 것으로 사료된다.

4. 결 론

본 논문에서는 FOWLP 제조과정의 Warpage예측을 위해 몰딩 공정에서 제어 가능한 실리콘 칩과 EMC overmold 두께에 따른 Warpage 분석을 수행하였다. 실제 모델과 해석 결과의 비교를 통해 보정 값 적용 시 최대 $\pm 10\%$ 이내의 오차를 확인함으로써 유한요소해석의 타당성을 검증하였다. 이를 바탕으로 요인실험계획법을 적용하여 각 인자가 Warpage에 미치는 영향을 분석하였으며 실리콘 칩의 두께가 EMC overmold 두께보다 Warpage에 미치는 영향이 상대적으로 큰 것을 확인하였다. Warpage 예측을 위해 실리콘 칩의 두께 별 관계식을 도출하였으며 이를 기준으로 실리콘 두께에 따른 EMC overmold 두께를 제한하기 위한 제한식을 도출하였다.

본 논문의 결과는 유사한 구조의 신규 FOWLP 제품 개발 시 반도체 패키지의 설계 두께에 대해 Warpage 리스크 사전 검토 시 적용 가능할 것으로 기대된다.

참고문헌

1. Cheong-Ha Jung, Won Seo and Gu-Sung Kim, "A Study of Warpage Analysis According to Influence Factors in FOWLP Structure", Journal of the Semiconductor & Display Technology, 17(4), 42-45 (2018).
2. Mi Kyoung Lee, Jin Wook Jeoung, Jin Young Ock, Sung-Hoon Choa, "Numerical Analysis of Warpage and Reliability of Fan-out Wafer Level Package," J. Microelectron. Packag. Soc., 21(1), 31-39 (2014).
3. Yoon-chul Son, "Fan-out wafer-level packaging (FOWLP) technology trends," J. Electrical & Electronic materials, 34(2), 4-11 (2021).
4. Geumtaek Kim, Daeil Kwon, "Warpage Analysis during Fan-Out Wafer Level Packaging Process using Finite Element Analysis," J. Microelectron. Packag. Soc., 25(1), 41-45 (2018).
5. Xiaowu Zhang, Boon Long Lau, Yong Han, Haoran Chen, Ming Chinq Jong, Sharon Pei Siang Lim, Simon Siak Boon Lim, "Addressing Warpage Issue and Reliability Challenge of Fan-out Wafer-Level Packaging (FOWLP)" Electronic Components and Technology Conference (ECTC), IEEE 71st, (2021).
6. Ghanshyam Gadhiya, Birgit Brämer, Sven Rzepka, Thomas Otto, "Assessment of FOWLP process dependent wafer warpage using parametric FE study," European Microelectronics and Packaging Conference & Exhibition (EMPC), 22nd, (2019).
7. L. Ji, T.C. Chai, G. See, P. Suo, "Modelling and prediction on process dependent wafer warpage for FOWLP technology using finite element analysis and statistical approach" Electronics Packaging Technology Conference (EPTC), IEEE 22nd, (2020).
8. Jeong-hyeon Baek, Dong-woon Park, Hak-sung Kim, "Measurement of effective cure shrinkage of EMC using dielectric sensor and FBG sensor," J. Microelectron. Packag. Soc., 29(4), 83-87 (2022).

접수일: 2023년 11월 30일, 심사일: 2023년 12월 08일,
게재확정일: 2023년 12월 12일