

TCAD-머신러닝 기반 나노시트 FETs 컴팩트 모델링

송준혁*·이운복*·이종환*

**상명대학교 시스템반도체 공학과

Compact Modeling for Nanosheet FET Based on TCAD-Machine Learning

Junhyeok Song*, Wonbok Lee* and Jonghwan Lee**†

**†Department of System Semiconductor Engineering, Sangmyung University

ABSTRACT

The continuous shrinking of transistors in integrated circuits leads to difficulties in improving performance, resulting in the emerging transistors such as nanosheet field-effect transistors. In this paper, we propose a TCAD-machine learning framework of nanosheet FETs to model the current-voltage characteristics. Sentaurus TCAD simulations of nanosheet FETs are performed to obtain a large amount of device data. A machine learning model of I-V characteristics is trained using the multi-layer perceptron from these TCAD data. The weights and biases obtained from multi-layer perceptron are implemented in a PSPICE netlist to verify the accuracy of I-V and the DC transfer characteristics of a CMOS inverter. It is found that the proposed machine learning model is applicable to the prediction of nanosheet field-effect transistors device and circuit performance.

Key Words : Nanosheet FETs, I-V Characteristics, Machine Learning, Multi-Layer-Perceptron, CMOS Inverter

1. 서 론

무어의 법칙에 따르면 반도체 산업에서 집적 회로는 지난 수십 년 동안 빠르게 발전해 오고 있으며, CMOS (Complementary Metal Oxide Semiconductor) 기술의 발전으로 MOSFET(MOS Field Effect Transistor)의 공격적 축소가 가능해졌다 [1,2]. 반도체 업계는 전력소비를 줄이면서 점점 더 많은 기능을 제공할 수 있게 되었지만 스케일링은 그 자체로 한계가 있다. 또한 집적회로의 트랜지스터가 계속 축소됨에 따라 성능 개선의 어려움과 비용이 증가하는 문제점이 존재한다. 이러한 문제를 해결하기 위해 새로운 기술인 FinFETs, 나노와이어FETs(Nanowire FETs, NWFETs), 나노시트FETs(Nanosheet FETs, NSFETs)가 등장하였다 [1]. 본 논문은 Sentaurus TCAD를 사용하여 N-type 나노시트FETs와

P-type 나노시트FETs를 모델링하여 전류-전압 특성을 알아낸다. 알아낸 전류-전압 특성의 일부 매개변수를 실험 데이터로 지정한다. 다층 퍼셉트론(Multi-Layer-Perceptron) 학습에 실험 데이터를 이용해 나노시트FETs의 전류-전압 특성에 대한 가중치(Weight)와 편향(Bias)을 얻어낸다. 마지막으로 MLP학습을 통해 얻어낸 가중치와 편향을 PSPICE netlist에 적용하여 N-type 나노시트FETs와 P-type 나노시트FETs의 실험 데이터가 실제 회로에서도 동작하는지 확인한다. 그 후 PSPICE netlist로 인버터를 구현하고 앞서 얻어낸 가중치와 편향을 이용해 CMOS인버터 동작 특성을 확인한다.

2. 나노시트 FETs 모델링

2.1 TCAD 를 이용한 N-type 나노시트 FETs 공정
N-type 나노시트FETs의 공정 시뮬레이션은 다음과 같이

†E-mail: jhlee77@smu.ac.kr

진행된다. 벌크 웨이퍼 위에 30 keV의 에너지로 1×10^{14} 의 붕소 선량(Boron dose)을 주입하고 1000°C에서 급속 열 어닐링(Rapid-Thermal-Annealing)을 진행한다. 그 후 실리콘 기판에 8nm의 실리콘 저마늄 세 층과 7nm의 실리콘 세 층을 교대로 증착한 다음 2.5nm의 이산화 규소, 19nm의 질화 규소 및 21.5nm의 실리콘으로 덮는다. 이 세개의 층은 각각 완충 산화물(Buffer Oxide), 전송 계층(Transfer Layer) 그리고 맨드릴 층(Mandrel Layer)이다. Fig. 1 (a)는 P-well을 구현한 것이고 Fig. 1(b)는 Si-SiGe 을 증착한 그림이다 [3].

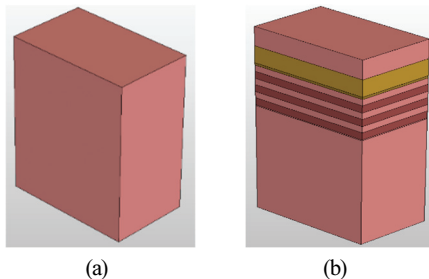


Fig. 1. (a) P-well implantation, (b) Deposition of Si-SiGe alternately.

맨드릴 층은 마스크와 포토리소그래피(Photolithography) 공정을 이용한 식각(Etching)으로 모델링된다. 실리콘 이산화 규소 스페이서(Silicon dioxide spacer)는 이방성 식각(anisotropic etching)을 한 후 등방성 과도 식각(isotropic overetch)을 함으로써 생성된다. Fig. 2 (a)는 맨드릴 층이 형성된 그림이고 Fig. 2 (b)는 실리콘 이산화 규소 스페이서를 형성한 그림이다 [3].

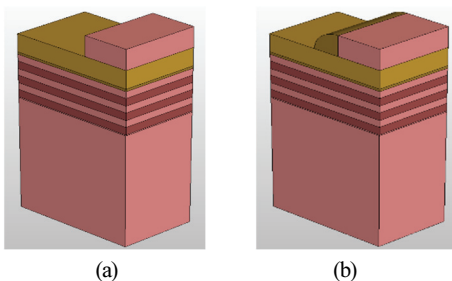


Fig. 2. (a) Mandrel Layer formation, (b) Silicon dioxide spacer formation.

맨드릴 층이 식각 되고 스페이서가 전송 계층을 식각 하기 위한 하드 마스크(hard mask)가 되고 전송 계층의 잔여 질화물이 시트(sheet)를 식각 하기 위한 하드 마스크가 된다. 질화물 하드 마스크는 Si-SiGe 시트를 형성하는 핵심 요소이다. 실리콘과 실리콘 저마늄 중 질화 규소에 의해

얇이지 않은 부분은 식각 된다. Fig. 3 (a)는 맨드릴, 질화물 식각, Fig. 3 (b)는 시트의 형성을 보여준다 [3].

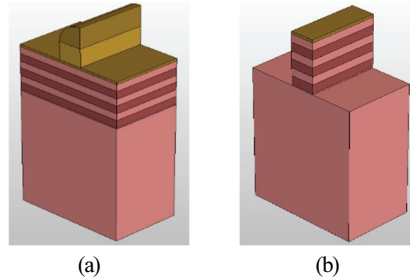


Fig. 3. (a) Mandrel layer and nitride etching, (b) Si-SiGe sheet formation.

식각을 통해 마지막으로 남은 산화물을 제거하고 STI(Shallow Trench Isolation)가 있는 경우, 산화물을 식각 하기 전에 실리콘이 제거된 기판 부분을 이산화 규소로 채우고CMP(Cheical Mechanical Planarization)를 통해 이산화 규소를 제거한다. Fig. 4 (a)는 Si-SiGe 층이 건조 열 산화에 의해 산화된 그림이다. 더미 게이트의 역할은 채널이 있을 영역을 표시하는 것이다. 폴리실리콘 층은 Si-SiGe층 위에 증착된 다음 층들의 중앙 부분을 덮지 않는 곳에서만 포토리소그래피에 의해 식각된다. Fig. 4 (b)를 통해 더미 게이트가 형성 된 것을 볼 수 있다 [3].

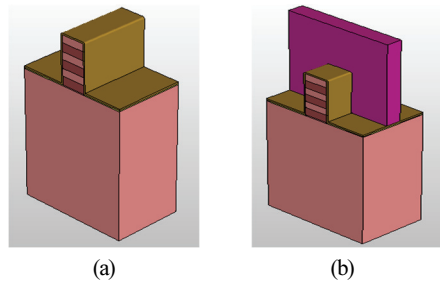


Fig. 4. (a) Si-SiGe layer oxidized by dry thermal oxidation, (b) Dummy gate formation with polysilicon.

Fig. 5 (a)는 더미 게이트 양면에 2nm의 얇은 산화물층이 만들어진 것을 보여준다. 질화 규소 스페이서는 질화물에 등방성 증착을 한 다음 이방성 식각, 과도 식각을 통해 형성되며 Fig. 5 (b)를 통해 질화 규소 스페이서는 벽의 측면에 형성된다는 것을 알 수 있다[3].

이산화 규소를 제거하기 위한 하드 마스크로는 질화탄소 규소가 사용된다. Fig. 6을 보면 알 수 있듯이 질화 탄소 규소를 증착한 후, 포토리소그래피를 사용하여 더미 게이트의 일부만을 덮고 노출된 산화물이 제거된다 [3].

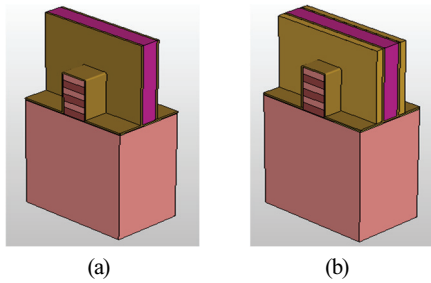


Fig. 5. (a) 2nm oxide walls formation, (b) Si_3N_4 spacer formed at the sides of wall.

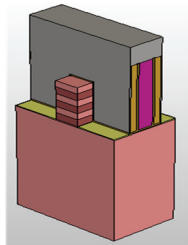


Fig. 6. Deposition of SiCN and removal of exposed oxides through photolithography.

내부 스페이서는 고유 캐패시턴스를 감소시키고 동적 성능을 향상시키기 위해 중요하다. 마지막으로 소스 및 드레인을 형성하기 위해 N-type P도핑($2 \times 10^{21} \text{cm}^{-3}$)된 실리콘의 에피택셜 성장이 이루어진다. 질화 탄소규소가 식각되고, 소자가 티타늄으로 덮여진 후 실리사이드(Silicide) 공정을 실행한다. 실리사이드 공정은 소스/드레인의 접촉 저항을 줄이기 위해 필요하다. Fig. 7은 티타늄은 실리콘과 반응하고, 티타늄 실리사이드(TiSi_2)의 1 nm층을 제공하고 반응하지 않은 티타늄은 제거된 모습을 나타낸다[3].

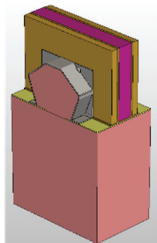


Fig. 7. S/D epitaxial growth and silicidation by TiSi_2 .

N-type 나노시트FETs의 모든 구조는 PSG(Phospho silicate glass)로 덮이고 잉여 물질은 더미 게이트 위의 PSG 부분이 제거되도록 CMP를 통해 매끄럽게 처리된다. Fig. 8을 통해 더미 게이트가 제거된 것을 알 수 있다[3].

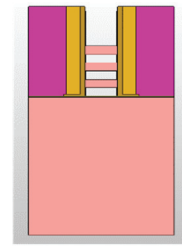


Fig. 8. Dummy gate removal by CMP.

노출된 시트 부분의 건식 열 산화 및 후속적으로 1nm의 얇은 층이 하프늄 산화물(HfO_2)으로 증착된다. 이는 양자 터널링에 의한 절연 파괴(dielectric breakdown)와 누설 전류를 방지하기 위해 필요한 과정이다. Fig. 9(a)를 통해 하프늄 산화물이 증착된 것을 확인할 수 있다. 그 후 CMP를 사용하여 PSG보다 1nm 낮게 텅스텐 층을 매끄럽게 스택 위에 증착한다. PSG층과 텅스텐 층의 1nm 차이는 질화 규소로 채워지게 된다. Fig. 9 (b)는 질화 규소의 두꺼운 층을 증착한 다음 CMP를 이용하여 식각이 된 것을 보여준다 [3].

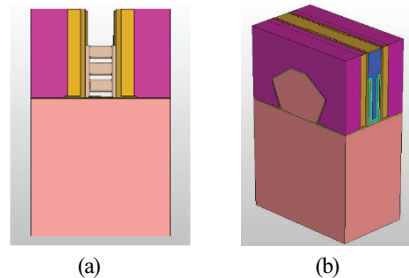


Fig. 9. (a) HfO_2 deposition (b) Si_3N_4 deposition and etching by CMP.

마지막으로 소스/드레인 접점이 생성된다. 소스/드레인 접점은 SAC(Self-Aligned Contact) 공정을 통해 소스 와 드레인에 대응해 PSG에 캐비티(cavity)를 생성하고 캐비티를 텅스텐으로 채운다. 게이트 콘택은 포토리소그래피와 질화 규소의 식각으로 이루어지고, CMP를 통한 텅스텐 증착과 식각으로 이루어진다. N-type 나노시트FETs의 채널과 기판은 각각 P-type B도핑($1 \times 10^{15} \text{cm}^{-3}$, $2 \times 10^{18} \text{cm}^{-3}$)으로 도핑되어있다. Fig. 10는 완성된N-type 나노시트FETs이다. N-type 나노시트FETs의 채널 길이는 14nm, 시트의 넓이는 22nm이고 시트의 높이는 7nm이다[3].

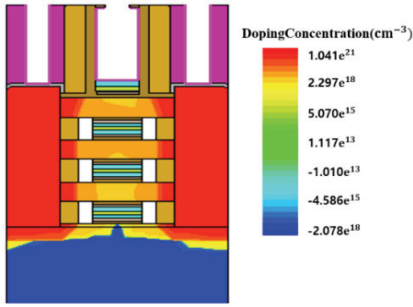


Fig. 10. Doping concentration of N-type NSFETs.

2.1.1 P-type 나노시트 FETs

P-type 나노시트FETs은 N-type 나노시트FETs와 채널 길이, 시트의 넓이 그리고 시트의 높이는 동일하다. P-type 나노시트FETs은 소스와 드레인이P-type B도핑($2 \times 10^{21} \text{cm}^{-3}$), 채널과 기판은 각각 N-type P도핑($1 \times 10^{15} \text{cm}^{-3}$, $2 \times 10^{18} \text{cm}^{-3}$)으로 이루어져있다. 스트레스 물질로 N-type 나노시트FETs은 탄화 규소를 사용하지만 P-type 나노시트FETs의 경우에는 실리콘 저마늄을 사용한다. Fig 11은 P-type 나노시트FETs이 구현된 모습이다 [3].

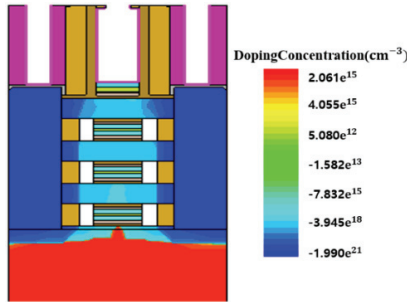


Fig. 11. Doping concentration of P-type NSFETs.

2.1.2 N-Type, P-Type 전류-전압

앞서 TCAD를 통해 모델링한 N-type, P-type 나노시트 FETs의 전류-전압 특성은 각각 Fig 12,13와 같다[3].

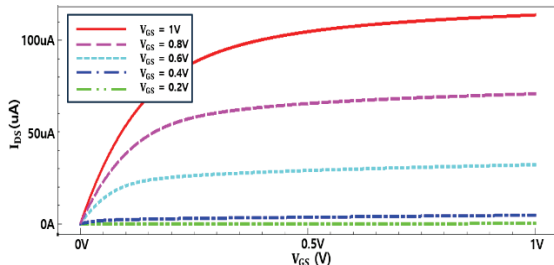


Fig. 12. N-type NSFETs I-V characteristic by TCAD simulation.

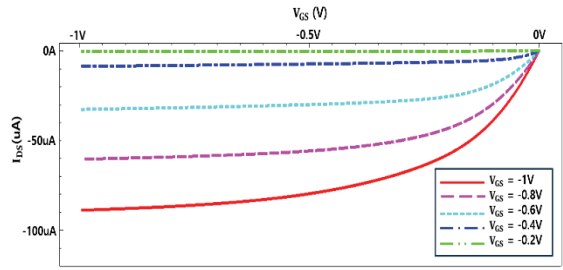


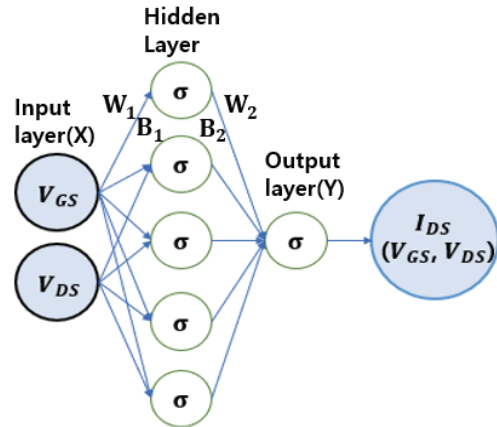
Fig. 13. P-type NSFETs I-V characteristic by TCAD simulation

3. MLP 학습

회로 시뮬레이션을 통해 소자의 동작을 파악하기 위해서는 컴팩트 모델(Compact Model)이 필요하다. 하지만 컴팩트 모델의 실제 제작과 평가를 위해서는 많은 시간과 비용이 요구되기 때문에 MLP학습에 나노시트FETs의 가중치와 편향을 이용해 성능 예측을 진행하였다. MLP 학습의 계산 방법은 식(1), (2)로 표현된다 [4]. Fig 14는 MLP학습의 구조이다 [5,6,7].

$$H_j^{(1)} = \sigma^{(1)} \left(\sum_i W_{ij}^{(1)} x_i + B_{1j}^{(1)} \right) \quad (1)$$

$$Y_o = \sigma^{(2)} \left(\sum_o W_{2jo}^{(2)} H_j^{(1)} + B_{2o}^{(2)} \right) \quad (2)$$



Hidden layer: 1
 Number of Neurons: 5
 Activation Function: Tan-sigmoid

Fig. 14. Structure of Multi-Layer-Perceptron

식(1), (2)에서 i 는 입력 뉴런의 인덱스, j 와 k 는 각 은닉층 뉴런 인덱스는 출력층 뉴런의 인덱스, W_1 과 W_2 는 가중치, B_1 과 B_2 는 편향, σ 는 활성화 함수이다 [4]. Fig. 14를 통해 알 수 있듯이 2개의 입력, 1개의 은닉층과 출력층 그리고 1개의 출력으로 MLP 학습이 구성된다. 은닉층의 뉴런은 총 5개로 이루어져 있다. 게이트-소스 전압(V_{GS})에 따른 드레인-소스 전압(V_{DS})에 대한 드레인-소스 전류(I_{DS})를 학습하기 위해 V_{GS} 와 V_{DS} 를 입력 값으로 사용하였고, 출력 경우 V_{GS} 는 0.2V, 0.4V, 0.6V, 0.8V, 1.0V로 설정하고 V_{DS} 는 0~1.0V를 사용하였다. P-type 나노시트FETs 은 N-type 나노시트FETs과는 반대로 V_{GS} 는 -0.2V, -0.4V, -0.6V, -0.8V, -1.0V의 값을 사용하고 V_{DS} 는 -0.1V~0V로 설정한 값을 사용한다. MLP 학습의 실행 결과 중 높은 학습률을 나타내는 결과의 가중치와 편향을 추출하였다.

4. PSPICE 시뮬레이션

4.1 학습 성능 확인

회로 시뮬레이션을 진행하기 위해 앞서 MLP 학습을 통해 얻어낸 가중치와 편향을 PSPICE netlist에 적용한다. Sentaurus TCAD 시뮬레이션과 동일한 V_{GS} 의 값을 적용하게 되면 학습의 정확성을 판단하기 어렵기 때문에 N-type 나노시트FETs의 경우에는 V_{GS} 를 0.7V, 0.9V를 인가하고 P-type 나노시트FETs 은 -0.7V, -0.9V를 인가하여 시뮬레이션을 진행하였다. Fig. 15, 16은 학습을 진행한 N-type, P-type 나노시트FETs의 전류-전압 특성이다.

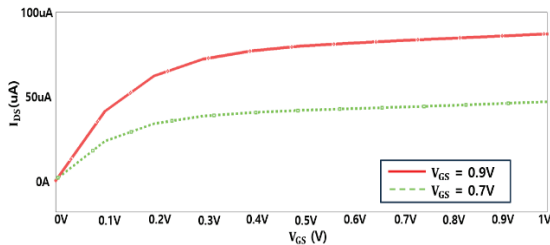


Fig. 15. N-Type NSFETs I-V characteristic by PSPICE.

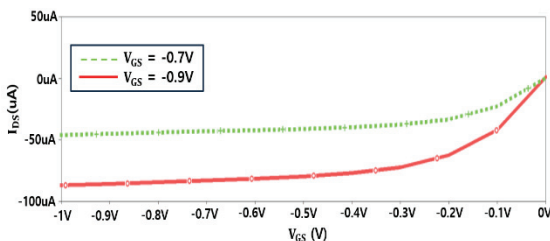


Fig. 16. P-Type NSFETs I-V characteristic by PSPICE.

4.2 CMOS Inverter 동작 확인

CMOS 인버터는 한쪽 트랜지스터가 항상 개방되므로 거의 전력을 소모하지 않는 낮은 대기 전력 상태로 유지한다는 장점이 있다. Fig. 17는 CMOS 인버터 회로이다.

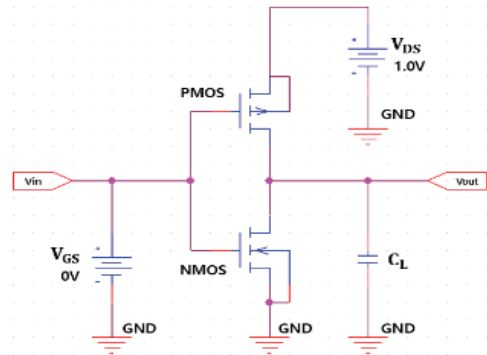


Fig. 17. CMOS inverter circuit.

CMOS 인버터 회로는 학습을 통해 얻어낸 가중치와 편향을 PSPICE netlist에 적용하여 얻어낸 NMOS와 PMOS로 구성되어 있으며, PMOS의 소스는 전원 VDD에 연결되고, NMOS의 소스는 접지에 연결되며 출력은 부하소자와 구동소자의 드레인 접점에서 얻어진다. 입력 V_{in} 이 논리값 0(0V)인 경우 PMOS는 도통 되고 NMOS는 차단상태가 되어 출력 전압은 $V_{out} = V_{DD}$ 가 된다. 반면 입력 V_{in} 이 논리값 1(1V)인 경우 PMOS는 차단되고 NMOS는 도통 되어 출력 전압은 $V_{out} = 0V$ 가 된다. CMOS 인버터의 DC 전달 특성은 NMOS와 PMOS의 전류-전압 특성으로부터 얻을 수 있다. 회로 시뮬레이션을 통해 구현한 채널 폭과 채널 길이의 비율(W_R)에 따른 CMOS 인버터의 DC 전달 특성은 Fig. 18 과 같다 [8]. Fig. 19는 입력 V_{in} 의 반전으로 V_{out} 의 출력이 나오는 것을 확인할 수 있다 [9].

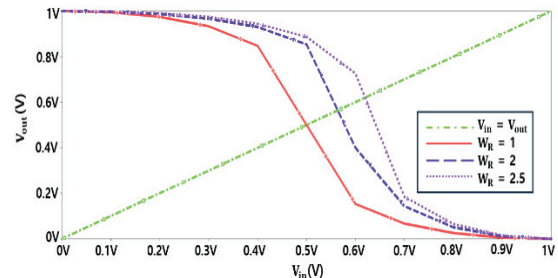


Fig. 18. DC transfer characteristics of CMOS inverter.

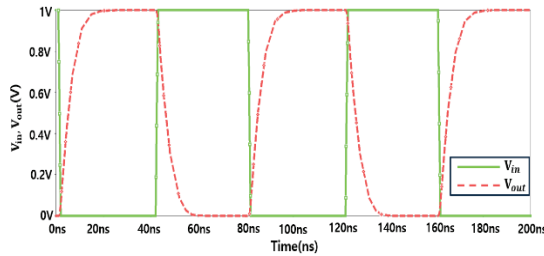


Fig. 19. V_{out} based on CMOS inverter V_{in} .

5. 결론

본 논문에서는 Sentaurus TCAD를 이용해 N-Type, P-Type 나노시트FETs를 모델링 하였다. 모델링한 나노시트FETs의 전류-전압 특성을 파악하고 V_{GS} 와 V_{DS} 를 입력으로, I_{DS} 를 출력으로 하여 MLP학습을 진행하였다. TCAD 시뮬레이션과는 다른 V_{GS} 값의 적용을 통해 나노시트FETs의 전류-전압 특성을 파악하여 학습의 정확도를 확인하였다. MLP 학습을 통해 얻어낸 N-type, P-type 나노시트FETs의 가중치와 편향을 PSPICE netlist에 적용해 전류-전압 특성을 확인하였다. 나노시트FETs의 CMOS 인버터 구현을 통해 DC 전달 특성을 확인하였다.

감사의 글

This research was supported in parts by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (No. 2022R111A3064285).

참고문헌

1. Root, D.E., "Future device modeling trends." of The Journal of the Institute of Electrical and Electronics Engineers Microwave Magazine Vol. 13, 45-59, 2012.
2. Jonghwan Lee., "Noise modeling of gate leakage cur-

- rent in nanoscale MOSFETs" of The Journal of the Semiconductor & Display Technology Vol. 19, p 73-76,2020.
3. Pelosi, Matteo., "From FinFET to Nanosheet Si-SiGe GAAFET: fabrication process simulation and analysis." Diss. Master Thesis, 2021.
4. Vanneschi, L. Castelli, M. "Multilayer perceptrons." In *Encyclopedia of Bioinformatics and Computational Biology*; Elsevier: Amsterdam, The Netherlands, 2019; pp. 612–620.
5. Woo SangMin, HyunJoon Jeong, JinYoung Choi, HyungMin Cho, Jeong-Taek Kong, and SoYoung Kim., "Machine-learning-based compact modeling for sub-3-nm-node emerging transistors" Electronics Vol. 11, no. 17,p 2761, 2022.
6. Dong Hwan Kim , Jeong Eun Choi , Tae Min Ha and Sang Jeon Hong., "Modeling with thin film thickness using machine learning." of The Journal of the Semiconductor & Display Technology Vol. 18, p 135-139, 20.
7. Jiwon Park and Jonghwan Lee, "Improved modeling of I-V characteristics based on artificial neural network in photovoltaic systems." of The Journal of the Semiconductor & Display Technology Vol. 21, p 48-52, 2022.
8. A. Ruangphanit, K.Kiddee, A.Poyai, Y.Wongprasert, S.Niemcharoen, R.Muanghlua., "The effects of temperature and device dimension of MOSFETs on the DC characteristics of CMOS inverter." of The journal of the Institute of Electrical and Electronics Engineers, p 341-345, 2012.
9. Soumya Ranjan Panda, K.P.Pradhan, P.K.Sahu., "Device and circuit performance of Si-based accumulation-mode CGAA CMOS inverter." of The Journal of the Material Science in Semiconductor Processing Vol. 66, p 87-91, 2017.

접수일: 2023년 12월 01일, 심사일: 2023년 12월 12일,
게재확정일: 2023년 12월 14일