[논 문] 한국재료학회지
Korean J. Mater. Res.
Vol. 34, No. 2 (2024)
https://doi.org/10.3740/MRSK.2024.34.2.111

4H-SiC PiN 다이오드의 깊은 준위 결함에 따른 전기적 특성 분석

이태희[1] · 박세림[1] · 김예진[1] · 박승현[1] · 김일룡[2] · 김민규[2] · 임병철[2] · 구상모[1†]

[1]광운대학교 전자재료공학과, [2]삼성전자 System LSI사업부 제품기술팀

Analysis of Electrical Characteristics due to Deep Level Defects in 4H-SiC PiN Diodes

Tae-Hee Lee[1], Se-Rim Park[1], Ye-Jin Kim[1], Seung-Hyun Park[1], Il Ryong Kim[2], Min Kyu Kim[2], Byeong Cheol Lim[2], and Sang-Mo Koo[1†]

[1]Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Republic of Korea
[2]Technology Team, System LSI, SAMSUNG ELECTRONICS, Hwaseong 18448, Republic of Korea

(Received January 22, 2024 : Revised February 15, 2024 : Accepted February 15, 2024)

Abstract Silicon carbide (SiC) has emerged as a promising material for next-generation power semiconductor materials, due to its high thermal conductivity and high critical electric field (~3 MV/cm) with a wide bandgap of 3.3 eV. This permits SiC devices to operate at lower on-resistance and higher breakdown voltage. However, to improve device performance, advanced research is still needed to reduce point defects in the SiC epitaxial layer. This work investigated the electrical characteristics and defect properties using DLTS analysis. Four deep level defects generated by the implantation process and during epitaxial layer growth were detected. Trap parameters such as energy level, capture-cross section, trap density were obtained from an Arrhenius plot. To investigate the impact of defects on the device, a 2D TCAD simulation was conducted using the same device structure, and the extracted defect parameters were added to confirm electrical characteristics. The degradation of device performance such as an increase in on-resistance by adding trap parameters was confirmed.

Key words silicon carbide, PiN diode, deep level transient spectroscopy, simulation.

1. 서 론

유한한 연료 자원과 화석 연료 소비의 부정적인 환경적, 사회적 영향으로 인해 전기 자동차(EV) 기술 개발이 필수적으로 요구되고 있다.[1)] 공간이 제한된 전기 자동차에서 빠르고 효율적인 충전을 위해서는 높은 전력 밀도와 변환 효율이 필수적이다. 현재 전력 모듈 소자의 대부분을 '실리콘(Si)' 기반으로 사용하고 있으나 Si 소자가 본질적인 한계에 도달함에 따라 열적인 문제와 빈번한 전류 스파이크 과전류와 같은 동작 환경에서 특성 저하의 위험이 있어 추가 설비를 해야 하는 단점이 있다.

Silicon carbide (SiC)는 ~3.3 eV의 넓은 밴드갭을 갖는 고에너지갭 반도체(WBG) 물질로 고내압, 저손실 전력 반도체용 소재로 유용하게 사용될 수 있고, Si 보다 약 10배 더 큰 ~3 MV/cm의 임계 전계를 갖는 화합물 반도체로서 전력 반도체 시장에서 주목받고 있는 소재이다. 또한 낮은 온저항 및 높은 항복전압으로 인해 전류 및 전압 전환 간격을 단축할 수 있어 스위칭 손실을 줄일 수 있다.[2)]

4H-SiC 소자의 상용화 과정에서 나타나는 다양한 결함들은 주요 장애물로 작용하고 있으며, 이 중 deep level trap과 관련된 연구는 소자 성능 향상을 위해 필수적이라 할 수 있다. 반도체 내부의 깊은 준위 결함은 캐리어가 결함에 트래핑 되는 현상과 캐리어 수명 단축을 초래함으로써, 누설 전류 증가와 같은 소자에 심각한 영향을 미치는 원인

†Corresponding author
E-Mail : smkoo@kw.ac.kr (S.-M. Koo, Kwangwoon Univ.)

© Materials Research Society of Korea, All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

이 된다. 이에 따라, 4H-SiC 소자의 성능 개선을 위한 연구 개발의 필요성이 더욱 강조되고 있다.[3,4)]

본 연구는 4H-SiC PiN diode의 전기적 특성과 깊은 준위 결함을 분석하였고, 시뮬레이션을 통해 깊은 준위 결함이 소자의 순방향 전압-전류 특성에 미치는 영향을 확인하였다.

2. 실험 방법

본 연구에서 사용된 소자는 4H-SiC 기반 PiN 다이오드이며 구조 및 파라메터는 Fig. 1과 Table 1에 정리하였다. 위 소자의 전기적 특성과 깊은 준위 결함을 분석하였으며 I-V, $1/C^2$-V curve를 통해 이상계수, on/off ratio, 누설전류를 도출할 수 있었다. 또한 deep level transient spectroscopy (DLTS)를 통해 소자의 에너지 준위(E_C-E_T), 포획 단면(σ_n), trap 밀도(n_T)를 추출하여 분석하였다. 추출한 trap 파라메터를 2D-TCAD 시뮬레이션을 통해 설계한 4H-SiC PiN 다이오드 구조에 적용하여 캐리어 trapping에 의한 온저항과 이상계수의 증가와 같은 순방향특성의 저하를 확인했다.[3,4)]

Fig. 1은 설계 후 제작한 4H-SiC PiN 다이오드의 구조를 나타내고 있다. 구조에 따른 파라메터는 Table 1에 표기된 것과 같이 N타입 4H-SiC 에피층의 도핑농도는 1×10^{16} cm^{-3}, 두께는 10 μm로 성장시켰다. Al implantation을 통해 0.5 μm의 두께와 1×10^{18} cm^{-3}의 도핑농도로 P-well을 형성하였다. 양극과 음극의 오믹 접합은 모두 titanium (Ti)으로 형성하였고, active area는 1,462 × 1,462 μm^2이다.

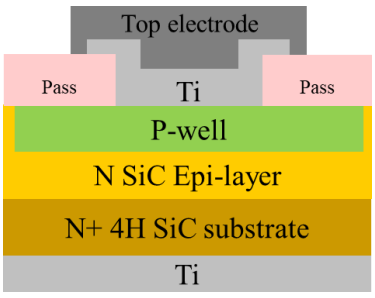

Fig. 1. A schematic cross-section of 4H-SiC PiN diode.

Table 1. Structural parameters of 4H-SiC PiN diode.

Parameter	Value
Epi-layer doping concentration (cm^{-3})	1×10^{16}
P-well doping concentration (cm^{-3})	1×10^{18}
Epi-layer thickness (μm)	10
P-well thickness (μm)	0.5

3. 결과 및 고찰

Fig. 2(a, b)는 4H-SiC PiN 다이오드의 대전압, 대전류 그래프이다. 제작한 소자의 V_{th}는 2.07 V이며, -10 V와 3 V에서 계산된 1.7×10^{10}의 on/off ratio를 갖는다. 누설 전류의 경우 -10 V에서는 5.3×10^{-11} A, -1,000 V에서는 1×10^{-8} A의 낮은 누설전류를 보여준다. 이상계수의 경우 1.31로 계산되었으며, 위의 도출한 파라메터들은 Table 2에 정리되어 있다.

Fig. 3(a, b)는 50 kHz의 주파수에서 -9~0 V의 전압범위로 측정한 4H-SiC PiN 다이오드의 C-V, $1/C^2$-V 그래프이다. Fig. 3(b)의 그래프의 X축 절편으로 built-in voltage를 알 수 있으며 그 값은 2.21 V이다. I-V, C-V 측정결과를 통

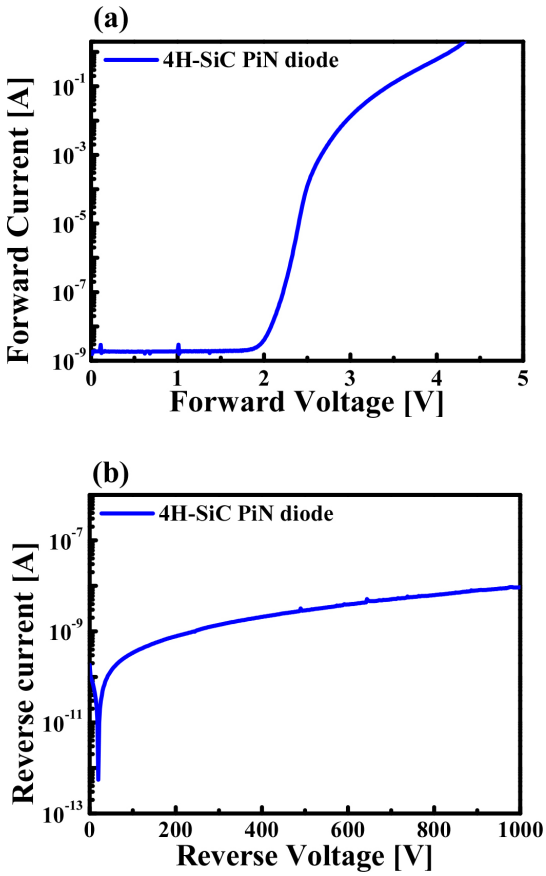

Fig. 2. I-V characteristics of the 4H-SiC PiN diode (semi-log scale): (a) forward bias, (b) reverse bias.

Table 2. Electrical characteristics of 4H-SiC PiN diode.

Parameters	Value
On/off ratio	1.7×10^{10}
Built-in voltage (V_{bi}) [V]	2.21
Ideality factor (n)	1.31

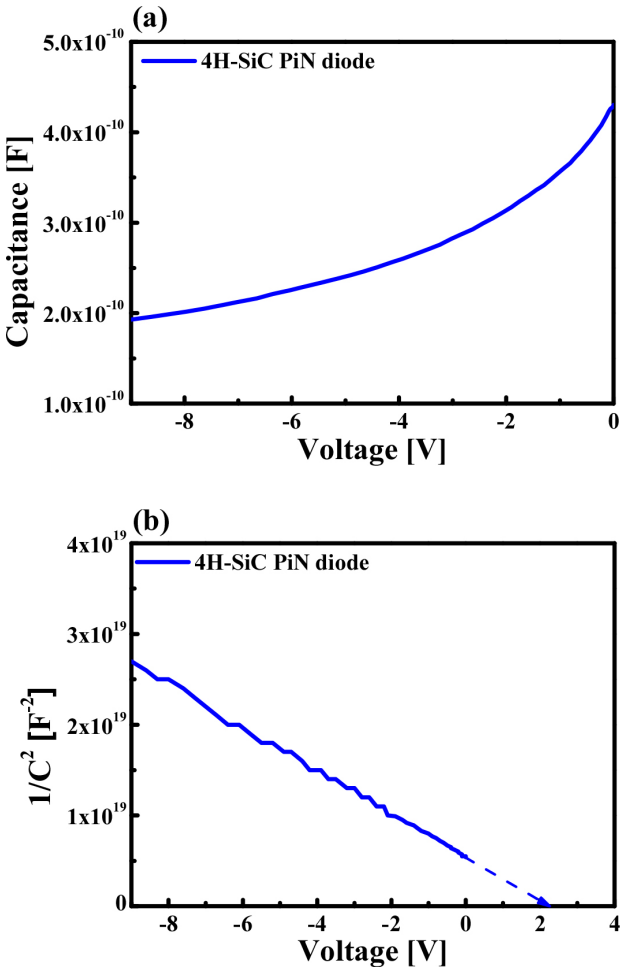

Fig. 3. C-V characteristics of 4H-SiC PiN diode at a frequency of 50 kHz (a) C-V, (b) $1/C^2$-V.

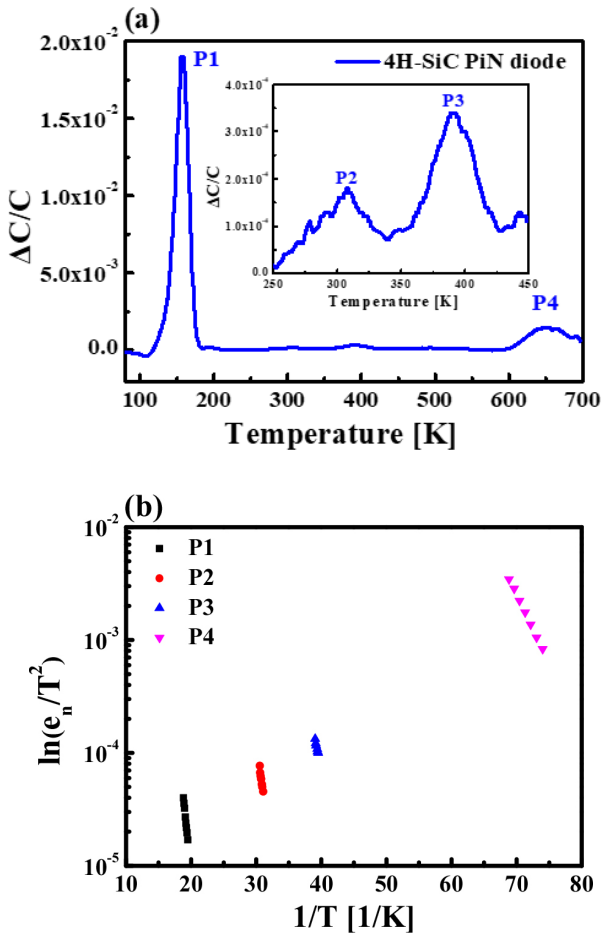

Fig. 4. (a) DLTS spectra of 4H-SiC PiN diode (inset: detailed DLTS spectra of 250~450 K range), (b) Arrhenius plot calculated from each trap of the diode.

해 소자가 50 kHz의 주파수에서 온도 변화에 따른 DLTS 분석을 진행하기에 신뢰할 수 있는 다이오드 특성을 나타냈다.

Fig. 4(a)는 80~700 K의 온도범위에서 -9~0 V의 전압 범위와 50 kHz의 주파수, 100 mV의 frequency amplitude로 capacitance 변화를 측정하여 도출된 DLTS spectra이다. DLTS spectra를 통해 총 4개의 peak를 확인할 수 있었으며, 각 peak에 따른 trap 밀도는 람다보정이 포함된 식 (1)을 통해 도출되었다.[5,6]

$$N_t = 2N_d \frac{\Delta C}{C_r\left\{\dfrac{W_r^2}{((W_r-\lambda)^2-(W_0-\lambda))^2}\right\}} \quad (1)$$

여기서, C_r은 역방향 전압(V_r = -9 V)에서의 접합 캐패시턴스, ΔC는 rate window (t_2-t_1)에 따른 depletion capacitance 차이이다. Trap 밀도는 Table 3에 정리했다.

Table 3. Summary of trap information.

Label	Temperature (K)	E_C-E_T (eV)	Capture cross-section (cm^2)	Trap density (cm^{-3})
P1	164.7	0.282	2.9×10^{-16}	2.66×10^{14}
P2	296.5	0.606	8.5×10^{-15}	1.27×10^{12}
P3	385.3	0.874	5.8×10^{-17}	4.62×10^{12}
P4	607.2	1.313	6.8×10^{-16}	2.1×10^{13}

Fig. 4(b)는 DLTS spectra의 각 peak에서 추출한 Arrhenius plot 그래프를 보여준다. 위 그래프에서 포획 단면과 에너지 준위의 추출은 전자가 깊은 준위 결함에 포획되고, 다시 방출되는 과정에 따른 emission rate를 통해 계산할 수 있으며, 식 (2), (3)과 같이 나타낼 수 있다.[7,8]

$$e_n = \sigma_n \beta T^2 \exp\left(-\frac{E_c - E_t}{kT}\right) \quad (2)$$

$$\ln\left[\frac{e_n}{T^2}\right] = \ln(\beta\sigma_n) - \frac{E_c - E_t}{kT} \quad (3)$$

여기서, e_n은 emission rate, σ_n은 포획 단면, β는 유효질량과 같은 온도 비의존성 상수와 연관된 지수이다. 또한 Arrhenius plot에서 포획 단면과 에너지 준위는 각 trap에 해당하는 점들을 이은 직선의 기울기와 Y절편을 통해 추출할 수 있다. 이렇게 추출된 trap 파라메터들은 Table 3에 정리되어 있다.

DLTS spectra와 Arrhenius plot을 통해 추출된 trap 파라메터를 통해 각 trap이 생기는 원인에 대해 유추할 수 있다. P1 trap의 경우 DLTS spectra의 약 160 K 근처에서 나타나는 peak로 E_C-E_T는 0.282 eV이며, Al implantation에 의한 SH1* trap (0.2~0.26 eV)으로 유추할 수 있다.[9] 이 trap은 implantation중 소수 캐리어 주입과 관련이 있으며, single plane stacking fault에 의해 나타난다.[10,11] P2 trap은 DLTS spectra의 약 300 K에서 나타나며 E_C-E_T는 0.606 eV이다. 이 trap은 SiC의 주된 결함인 $Z_{1/2}$로 유추할 수 있으며, carbon vacancy에 의해 나타나게 된다. $Z_{1/2}$는 탄소 또는 Al 등의 implantation후 annealing이나 고온 annealing을 통해 제거될 수 있으며, carbon vacancy에 기인하는 trap의 경우 소자의 캐리어 재결합 속도 감소에 큰 영향을 미치기 때문에 $Z_{1/2}$ trap의 density를 줄이는 연구가 많이 진행되고 있다.[12-15] P3 trap은 DLTS spectra의 385 K 근처에서 나타나며, E_C-E_T는 0.874 eV이다. 이 trap은 고에너지 implantation 혹은 중성자 조사에 의해 발생하는 vacancy pair (V_{Si}-V_C)로 인한 $RD_{1/2}$ trap (0.89~0.97 eV)로 유추할 수 있다.[16,17] P4 trap의 경우 DLTS spectra의 610 K 근처에서 나타나며, E_C-E_T는 1.313 eV이다. 이 trap 또한 carbon vacancy에 기인하는 SiC의 주요 결함이며, 캐리어 수명을 감소시키고, SiC 기반 LED 등에서 발광효율을 감소시키는 결함이다.[18,19]

Fig. 5는 trap이 소자특성에 미치는 영향을 확인하기 위해 시뮬레이션을 통해 제작한 다이오드에 Fig. 4를 통해 추출한 trap 파라메터를 각각 또는 모두 적용하여 전압-전류특성을 확인한 그래프이다. 소자 시뮬레이션은 Silvaco사의 2D-TCAD simulator Atlas를 사용하였으며, 제작된 소자와 동일한 소자 구조를 적용하였다. Trap이 소자의 순방향 특성에 미치는 영향을 확인하기 위해 각 trap을 소자에 적용하여 전압-전류 특성을 시뮬레이션으로 확인하였다. Fig. 5(a)에서 trap으로 인해 순방향 바이어스에서 전류레벨이 감소하며, 온저항이 증가하는 경향을 확인할 수 있었다. 특히 $Z_{1/2}$를 의미하는 P2 trap이 전기적 특성에 가장 많은 영향을 미치며, 이는 $Z_{1/2}$가 double acceptor-type deep

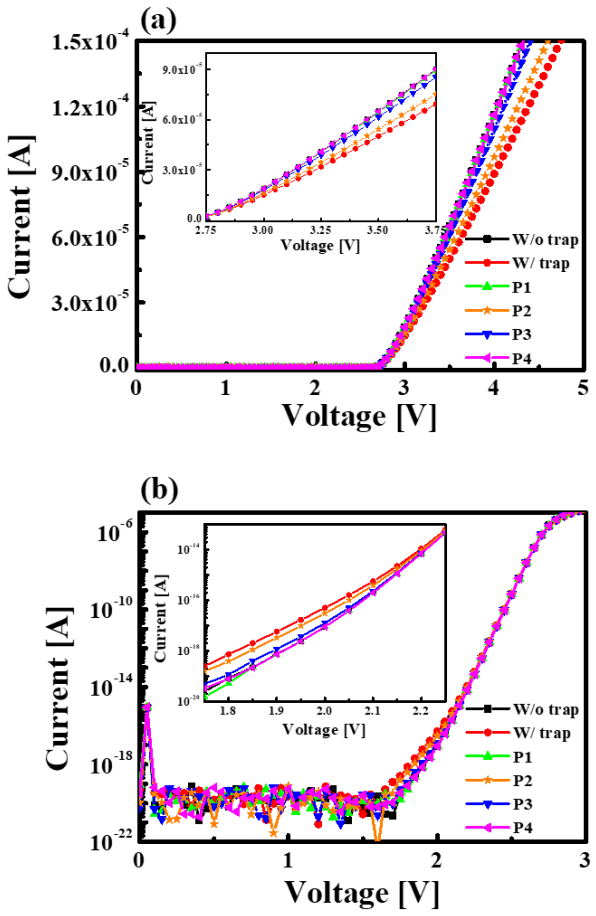

Fig. 5. Simulated I-V characteristics of 4H-SiC PiN diodes without trap and with trap: (a) linear scale, (b) semi-log scale.

level로, 전자를 포획하여 파워 디바이스의 온 상태 전압강하를 일으키기 때문이다.[19-22] Fig. 5(b)를 통해 볼 수 있듯이, trap을 추가함에 따라 기울기가 감소하며, 이는 이상계수의 증가를 뜻한다.[13,23,24]

4. 결 론

본 논문에서는 4H-SiC PiN 다이오드의 전기적 특성과 깊은 준위 결함을 분석하고, 시뮬레이션을 통해 이러한 결함이 소자의 전기적 특성에 미치는 영향을 분석하였다. I-V 및 $1/C^2$-V 곡선 분석을 통해 이상계수, built in voltage 등을 도출하였다. DLTS 분석을 통해 energy level과 trap 밀도 등을 추출할 수 있었고, 총 네가지 결함을 확인할 수 있었으며, SiC의 고유 결함인 P2, P4 ($Z_{1/2}$, $EH_{6/7}$)과 공정에 의해 생성되는 결함인 P1, P3 (SH1*, $RD_{1/2}$)를 관찰할 수 있었다. 추출한 데이터를 바탕으로 2D-TCAD 시뮬레이션을 통해 설계한 4H-SiC PiN 다이오드 구조에 각 trap 파라메터를 적용하여 그에 따른 순방향 전압-전류 특성을 확

인함으로써 trap으로 인한 온저항과 이상계수의 감소와 같은 부정적인 영향을 입증할 수 있었다. 본 연구는 SiC 소자의 결함 분석과 소자 성능 최적화 연계 특성에 대한 기반 연구를 수행하였다.

Acknowledgement

The present research has been conducted by the Excellent researcher support project of Kwangwoon University in 2023 and the Samsung Electronics Co., Ltd. (IO230112-04602-01), and the Korea Institute for Advancement of Technology (KIAT) (P0012451).

References

1. B. Whitaker, A. Barkley, Z. Cole, B. Passmore, D. Martin, T. R. McNutt, A. B. Lostetter, J. S. Lee and K. Shiozaki, IEEE Trans. Power Electron., **29**, 2606 (2013).
2. X. She, A. Q. Huang, O. Lucia and B. Ozpineci, IEEE Trans. Ind. Electron., **64**, 8193 (2017).
3. K. Kawahara, G. Alfieri and T. J. Kimoto, Appl. Phys., **106**, 013719 (2009).
4. S. Sasaki, K. Kawahara, G. Feng, G. Alfieri and T. J. Kimoto, Appl. Phys., **109**, 013705 (2011).
5. C. van Opdorp, Solid-State Electron., **11**, 397 (1968).
6. P. Blood and J. W. Orton, The Electrical Characterization of Semiconductors: Majority Carriers and Electron States, p. 23. Academic Press, London, San Diego, CA (1992).
7. D. V. Lang, J. Appl. Phys., **45**, 3023 (1974).
8. N. M. Johnson, J. Vac. Sci. Technol., **21**, 303 (1982).
9. F. Fabbri, D. Natalini, A. Cavallini, T. Sekiguchi, R. Nipoti and F. Moscatelli, Superlattices Microstruct., **45**, 383 (2009).
10. X. Zhou, G. Pandey, R. Ghandi, P. A. Losee, A. Bolotnikov and T. P. Chow, Mater. Sci. Forum, **963**, 516 (2019).
11. I. C. Kim, J. I. Sim, M. S. Kim and S. Y. Ha, Ceramist, **16**, 37 (2013).
12. L. Storasta, H. Tsuchida, T. Miyazawa and T. Ohshima, J. Appl. Phys., **103**, 013705 (2008).
13. H. M. Ayedh, M. Puzzanghera, B. G. Svensson and R. Nipoti, Mater. Sci. Forum, **897**, 279 (2017).
14. T. Hayashi, K. Asano, J. Suda and T. J. Kimoto, Appl. Phys., **109**, 114502 (2011).
15. P. B. Klein, B. V. Shanabrook, S. W. Huh, A. Y. Polyakov, M. Skowronski, J. J. Sumakeris and M. J. O'Loughlin, Appl. Phys. Lett., **88**, 052110 (2006).
16. P. Hazdra and S. Popelka, Mater. Sci. Forum, **897**, 463 (2017).
17. G. H. Lee, D. W. Byun, M. C. Shin and S. M. Koo, Journal of IKEEE, **26**, 50 (2022).
18. K. Danno, T. Kimoto and H. Matsunami, Mater. Sci. Forum, **483**, 355 (2005).
19. T. Kimoto, Japanese J. Appl. Phys., **54**, 040103 (2015).
20. N. Kaji, H. Niwa, J. Suda and T. Kimoto, IEEE Trans. Electron Devices, **62**, 374 (2014).
21. C. Zechner, M. Tanaka, K. Shimai, N. Zographos, S. Kanie and S. Tsuboi, J. Appl. Phys., **132**, 035702 (2022).
22. K. Kawahara, G. Alfieri and T. J. Kimoto, Appl. Phys., **106**, 013719 (2009).
23. G. Sozzi, M. Puzzanghera, R. Menozzi and R. Nipoti, IEEE Trans. Electron Devices, **66**, 3028 (2019).
24. P. B. Klein, Phys. Status Solidi A, **206**, 2257 (2009).

<저자소개>

이태희
광운대학교 전자재료공학과 학생

박세림
광운대학교 전자재료공학과 학생

김예진
광운대학교 전자재료공학과 학생

박승현
광운대학교 전자재료공학과 학생

김일룡
삼성전자 System LSI사업부 제품기술팀 부사장

김민규
삼성전자 System LSI사업부 제품기술팀 수석연구원

임병철
삼성전자 System LSI사업부 제품기술팀 수석연구원

구상모
광운대학교 전자재료공학과 교수